

# DEVELOPMENT OF HIGH PERFORMANCE WAVE FORM DIGITIZER WITH LARGE CAPACITY RING BUFFER

Koji Miyamoto<sup>1,A)</sup>, Yasushi Okuda<sup>A)</sup>, Takeshi Nakamura<sup>A)</sup>, Youichi Hamada<sup>A)</sup>, Naoki Kawamura<sup>A)</sup>  
Hironao Sakaki<sup>B)</sup>, Yuko Kato<sup>B)</sup>

<sup>A)</sup> NICHIZOU ELECTRONIC & CONTROL Corporation, 5-3-28, Nishikujyo, Konohana, Osaka, 554-0012

<sup>B)</sup> Japan Atomic Energy Research Institute, 2-4, Shirakata, Tokai-mura, Naka, Ibaraki, 319-1195

## Abstract

Some accelerator facilities construct the post-mortem system for investigating of beam loss. So we have developed wave form digitizer with a big size ring buffer by such a systems development in J - PARC. This wave form digitizer was 10MS/s, it is unsuitable for a measurement of a short pulse beam. Therefore we design the fast-response wave form digitizer, 200MS/s, that can measure a short pulse beam. This report shows design of the new type wave form digitizer.

## 大容量リングバッファ付き高性能波形デジタイザの開発

### 1. はじめに

加速器開発のトレンドは、X線自由電子レーザーのような“高輝度・高品質な光の発生源”を目的にする電子加速器と、陽子物理実験や中性子源として利用される“プロトン・ドライバ”を目的にする陽子加速器が主流である。この両者の加速器には、加速される粒子に違いがあるものの、大強度で高安定なビームを常に提供することが共通して要求される。

一般的に、加速器を運転すると様々な外乱によってビームロスが発生し、ユーザーの利用効率を下げてしまうことを、誰しも経験する。特に、現在の加速器トレンドのような高いビーム品質が要求される場合、ロスが少しでも起こると利用効率を大きく下げだけでなく、ビームロスによるマシンの放射化で速やかな保守を困難にする可能性もある。そこで、先駆的な加速器施設では、このような原因を監視し高性能なビームを維持できるように、“事後解析用データ収集システム”を構築している<sup>[1]</sup>。

我々は、現在原研東海研に建設中のJ-PARC用の事後解析システム構築用に、事後解析データ収集に特化させた“ビーム波形デジタイザ”を製作した<sup>[2]</sup>。この記録装置はJ-PARCのビーム（500  $\mu$  秒幅）にあわせたものであったために、10MS/s（サンプリング/秒）という仕様になっており、J-PARC以外の短パルスビームを扱う加速器では、この計測器の性能が活かせるものではなかった。そこで、短パルスビームの計測も可能になるよう200MS/sに高速化した同様の波形デジタイザを開発した。

以下、波形デジタイザの機能と200MS/sタイプの波形デジタイザの開発報告を記述する。

### 2. 波形デジタイザに実装する機能

本波形デジタイザに実装する基本機能は、J-PARCで要求された“トラブル発生原因を解析するためにビームを利用しなくても良い（安全な事後事象解析）こと”、“単体にてビームロス解析に必要な性能を備えていること”、“分散設置された加速器設備の同期計測が可能なこと”、“効率よく記録データから必要データを検索する”をベースにした。

安全な事後事象解析を実施するためには、事象発生時の解析に必要なデータが抜け目無く記録されている必要がある。つまり、原因特定のために加速器を再現運転等することなく、事象発生原因が解析できる必要がある。このため、波形デジタイザでは、これを実現するために波形記憶領域としてリングメモリ（メモリ領域をリング状構造とし、エンドレスで最新波形を記録していく）方式を採用し、ビームタイミングを示すトリガ信号が検知される毎にアナログ電圧値を収集（サンプリング）する。なお、波形記憶領域であるリングメモリは、48MB（メガバイト）もの大容量領域を用意することで4096点サンプリングのときは、1280波形もの最新波形を記録することを実現している。また、十分な精度で監視できるように、波形デジタイザのアナログ分解能を12ビット（ $\pm 2.5V$ ）にし、さらにCH間が完全絶縁されたアナログ入力端子（BNC）を4CH持たせ、各CHが独立した計測器として取り扱うことができるようにしている。さらには、波形デジタイザが空間的に分散設置された場合にも応えることができるように、イーサネット経由で操作できる。なお、複数の波形デジタイザ間の収集データの整合性のために波形デジタイザに記録されたデータはトリガ番号により時間軸上データを一致させることも可能にしている。

<sup>1</sup> E-mail: miyamoto\_k@ndssf.co.jp

また、エンドレスで計測される膨大な波形データの中からビームロスなどのイベントが発生した前後のデータを、単体で効率よく目的のデータを抽出するために、波形デジタイザでは波形形状を監視し、異常波形のトリガ番号を上位計算機に伝達する機能を組み込んだ。図4に異常波形の検出パターンを示す。

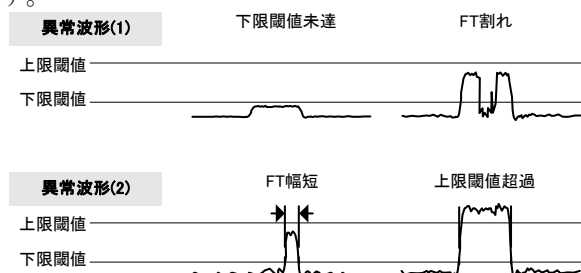


図4 異常波形の種類

なお、上位計算機ソフトウェアへの波形異常の伝達は、イーサネット通信で伝達するが、大量の波形エラー検出が発生しても波形デジタイザの波形収集動作への影響を除くために、これらはコネクションレス型のプロトコルUDP/IPで伝達する。

以上の機能は、10MS/s版波形デジタイザと同じ機能である。

### 3. 高速波形デジタイザの開発

今回開発したデジタイザは、従来の10MS/s版波形デジタイザの持つ機能を持ちながら200MS/sに高速化したものである。10MS/sの持つ機能を保有したまま200MS/sを実現するために、アナログ帯域向上の検討はもとより次のような検討を行った。

(1) 高速データ転送方法

(2) クロックレベルでの同期計測の対応

また、筐体サイズは、できるだけ省スペースであることを目指しかつ設置やすさを考慮し10MS/sと同等の大きさである19インチラックマウント2Uサイズとした。図5に外観図を示す。



図5 200MS/s版波形デジタイザ外観図(写真)

#### 3.1 高速データ転送

200MHzという高速サンプリングデータをリアルタイムでSDRAM上に確保しているリングメモリへ直接記憶させることは困難であるが、加速器施設のビーム運転(最大60Hz)以下の周期で4096サンプル波形データ収集を実施する計測条件に着目すると、16.6msecという長い時間に4096サンプルデータのみ

取り扱えばよいことがわかる。そこで、波形デジタイザでは次のように2段のプリバッファを持たせることで高速サンプリングを実現させることにした。

① 初段のプリバッファ

AD変換器(AD9430: Analog Devices製)から200MHzの周波数で取り出されるサンプリングデータをFPGA内蔵のメモリに格納することにした。FPGA内蔵メモリは、1波形分のバッファ(1stプリバッファと呼ぶ)を確保し、FIFO方式でデータを取り込むことにした。

② 2段目のプリバッファ

200MHzの周波数でリングメモリへ転送することは困難であるため、60Hz以下で到来するトリガ信号ごとに1stプリバッファから2ndプリバッファに20MHzの周波数で波形データを転送することにした。

また、リングメモリへの波形データ転送時間をできるだけ短くする工夫として2ndプリバッファは、2ページ分確保し、1stバッファからの書き込みサイクルとリングメモリへの読み込みサイクルが競合しないよう配慮した。

図6に波形転送ブロック図を示す。

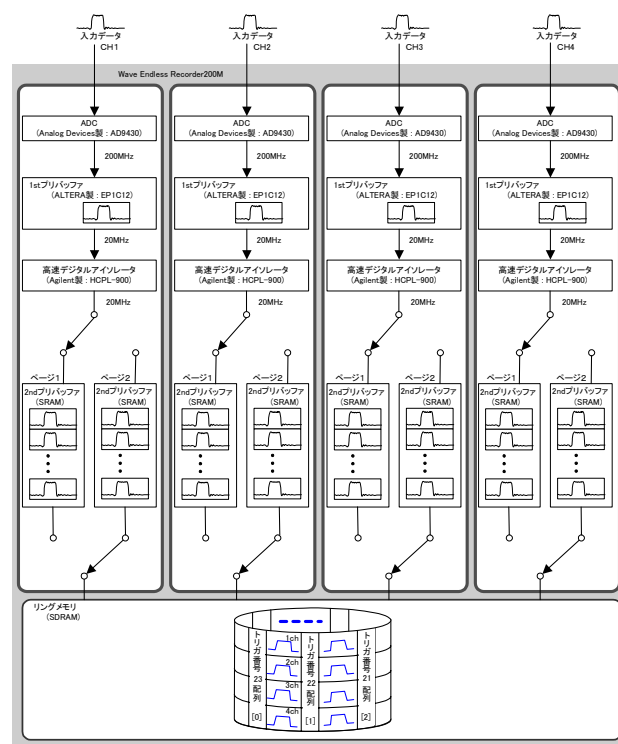


図6 波形転送ブロック図

なお、2つのプリバッファ間の転送速度が20MHzであることからチャンネル間絶縁には、高速デジタルアイソレータ(HCPL-900: Agilent製)を使用した。

また、2つのプリバッファを使用することで、2ndプリバッファにデータを蓄積する回路以降は10MHz版波形デジタイザと200MHz版波形デジタイザは共通のロジックを用いることができた。

### 3.2 クロック同期

計測データのさらなる時間軸の同期のために、200MHz版波形デジタイザでは、トリガ同期に加えAD変換のサンプリングクロックの外部同期を可能にした。

本デジタイザに使用しているAD変換LSIは外部クロックとして利用可能な周波数範囲は、40MHz～200MHzであるため、従来の10MHzサンプリング周波数には対応することができない。このデジタイザをより広いサンプリング周波数に対応させるために、40MHz未満の周波数を外部クロックとして使用する場合の方法として次の方法を採用した。まず、外部クロックをPLLで40MHz以上に逡倍させてからAD変換LSIにクロックを与える。40MHz以下の外部クロックに対応させるときは変換された出力データを逡倍した割合で間引く。このことにより低い周波数のクロックにも対応させることができ、1MHzから200MHzという範囲の外部クロックに対応できるようにしている。

なお、外部クロックの入力信号はECLとLVDSの2種類の方式に対応させた。さらにトリガ信号は10MHz版に搭載しているTTLレベルに加え0-10Vレベルでも対応できるようにした。

## 6. 計測

本デジタイザで計測した結果を図7と図8に記載する。200MHzサンプリングにより、10MHzサンプリングでは計測できなかった波形が計測可能になった。

計測波形は、シグナルジェネレータで作られたものであるが、図8では、当初の開発目的である短パルス波形の計測が可能になったことを示している。

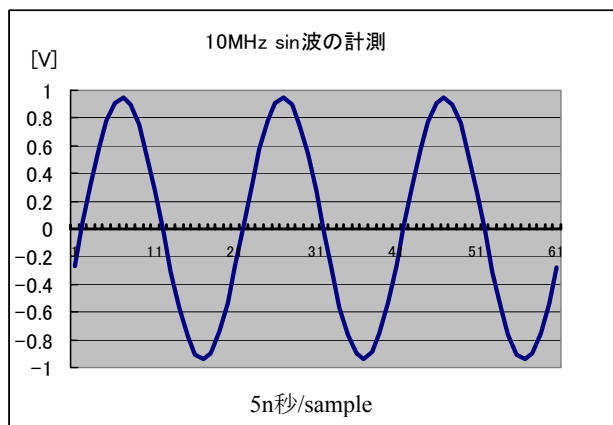


図7. 10MHzsin波の計測

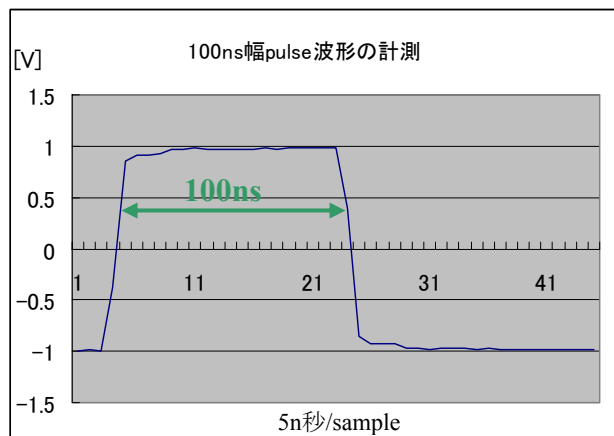


図8. 100ns幅のpulse波形の計測

## 7. まとめ

本デジタイザを開発することで、短パルス波形の計測など高い周波数成分を持つ他の計測対象についても10MHz版では計測し得なかった波形の詳細を把握することができることが期待される。

## 参考文献

- [1] J.S.Laster, et al., "POST MORTEM SYSTEM-PLAYBACK OF THE RHIC COLLIDER", Proc. of ICALEPCS2001, p600-6002, (2001).
- [2] 榊 泰直等, "プレレコーディング機能つきパルス波形監視装置の開発", Proc. of the 28<sup>th</sup> Linear Accelerator Meeting in Japan, (2003)