

J-PARC 用イントラバンチフィードバックの開発：試作機と実機の試験

DEVELOPMENT OF RFSOC BASED INTRA-BUNCH TRANSVERSE FEEDBACK FOR J-PARC PROTON RINGS: TEST OF PROTOTYPE AND REAL PROCESSORS

中村剛^{#,A)}, 佐藤健一郎^{A)}, 長尾大樹^{A)}, 外山毅^{A)}, 岡田雅之^{A)}, 小林愛音^{A)},
山田逸平^{B)}, 菖蒲田義博^{B)}

Takeshi Nakamura^{#,A)}, Kenichirou Satou^{A)}, Daiki Nagao^{A)}, Takeshi Toyama^{A)}, Masashi Okada^{A)},
Aine Kobayashi^{A)}, Ippei Yamada^{B)}, Yoshihiro Shobuda^{B)}

^{A)} High Energy Accelerator Research Organization (KEK) / J-PARC

^{B)} Japan Atomic Energy Agency (JAEA) / J-PARC

Abstract

The new intra-bunch feedback processor is under development in J-PARC for the main proton synchrotron (MR) and the RCS for future increase of their beam current. The processor is based on RFSOC, an FPGA with ADC and DAC. The architecture and some bench test results are described.

1. はじめに

J-PARC では、2つの陽子シンクロトロン、すなわち主リング(MR)および RCSをもっているが、MR では計画されているビーム電流の増強[1]、RCS では、将来の増強の可能性にむけて、それらの際にビーム電流を制限する可能性がある横方向不安定性への対策手法を整備しておく必要がある。

不安定性の抑制法として、現在、MR では、横方向フィードバックと呼ばれるベータatron振動のフィードバックを用いている[2]。しかし電流の増強にともなう、不安定性の強度上昇や新たな不安定性の出現の可能性に備えておく必要があることから、フィードバックの中心となる信号処理装置である信号処理装置を新たに開発することとした[3]。この装置では現在は入射かあら加速開始直後の低エネルギー時にのみ適用しているフィードバックを周回周期が大きく変化する加速全域に適用可能とし、さらには周回周期が MR に比べても大きく変化する RCS への適用も可能とすることを目指している。また同時に入力のアナログ信号に含まれる低周波ノイズへの対策も組み込んでいる。

MR および RCS のフィードバックに関連したパラメータを Table 1 に示す。

このフィードバックでは、バンチ長が数十から 100 ns 程度となるバンチを、時間間隔 1.7 ns = 1/576 MHz の刻みで分割し、そのそれぞれの部分について個別・独立にフィードバックを行う。この分割されたバンチの部分部分をスライスとよぶこととする。これまでのフィードバックではこのスライスの時間間隔が 10 ns であるので、分割数を5倍程度に拡張することにより、バンチのより高周波な振動、すなわち、スライス間の位相変化が大きな振動まで抑制可能とする。ただし、ADC や DAC のサンプリングレートは一定とせざるを得ないことから、リングの加速に伴う周回周波数の変化に合わせて変化する周回あたりのサンプリング数を逐次計算しそれを必要とする FIR フィルタに送り動作させている。このため、どうしてもサンプリングの

ビームとの時間のズレなどが生じることから不安定性抑制について実効的な周波数は 150 MHz から 200 MHz を目標としている。

Table 1: Parameters of MR and RCS

	MR		RCS [4]	
Circumference	1567.5 m		467.9 m	
Energy	3 GeV	30 GeV	0.4 GeV	3 GeV
Revolution	5.384	5.231	1.629	1.197
Period	μ sec	μ sec	μ sec	μ sec
Revolution	185.7	191.2	613.7	835.8
Frequency	kHz	kHz	kHz	kHz
Harmonics	9		2	
RF Frequency	1.672 MHz	1.721 MHz	1.227 MHz	1.672 MHz
Bunch Length (full width)	100 ns	Tens ns	100 – 500 ns	

2. フィードバックプロセッサでの処理

信号処理装置の処理のブロック図を Fig. 1 に示す。この図および詳細は昨年、2024 年の年会での発表[3]に記している。

横方向フィードバックが必要とする情報は、1)各スライスのそれぞれのターンごとの位置、そして、2)そのターン毎の履歴である。

ポイント1)については、MR では微分特性をもつビーム位置モニタ(BPM)[5]の信号を用いているので、バンチの各スライスのもつ平均位置と電流の積に変換するには、積分する。この際、キックを計算するのに必要なターンの間はスライスの電流はほぼ一定とみなす。

ポイント2)については、フィードバックのサンプリング周波数は一定とせざるを得ないが、周回周期は加速とともに変化していくので、ターンごとサンプリング数が変化する。そこで、J-PARC の RF の LLRF 制御[6, 7]が行っ

[#] nkmr@post.kek.jp

ている手法をそのまま用いて、加速開始からの時刻とRF周波数のテーブルから周回周期およびバケットのタイミングを取得し、その周回周期から周回あたりのサンプリング数を計算している。

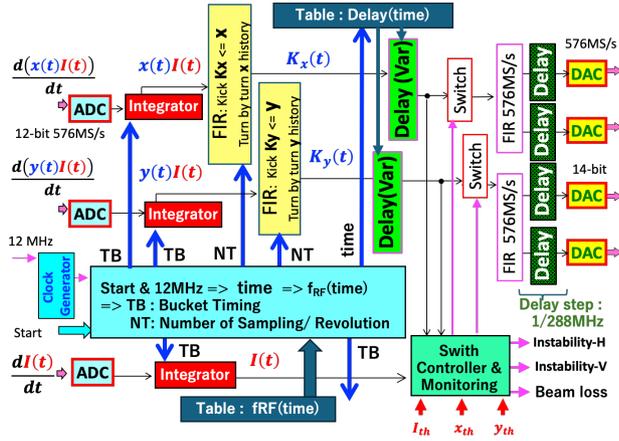


Figure 1: Block Diagram of Feedback Processor[3].

2.1 微分特性 BPM の積分による位置情報の取得

MR で用いているビーム位置モニタ(BPM) [5]は水平、垂直に対してビームを挟む、片端を短絡させたストリップライン電極の対を用いている。このため、微分特性をもつので 180 度ハイブリッドでその2電極の差をとればそれはビームの位置 x と電流 I の積の時間微分

$$S(t) = \frac{d(xI)}{dt} \quad (1)$$

となっている。このため、この信号の時間積分を行いスライスの位置と電流に変換する必要がある。得られた信号は電流にも比例しているので、フィードバックのゲイン(1/減衰時間)はこの電流値にも比例するが、この開発の最初のフェーズでは、バンチの中央近辺の高い電流をもつスライスを抑制することによりバンチ全体が安定化すると仮定している。もしこれが問題となるようであれば、次のフェーズとして電流の微分信号である2電極の和の信号を積分することにより、各スライスの電流値を求め、電流が小さいスライスのゲインを持ち上げることも可能としている。

さて、積分の手法を Fig. 2 に示す。積分はバケットごとに行い、バケットの間の電流がない時間から、次のバケットの間までの区間(以下、バケット区間)で積分し、バケット区間内での xI を復元する。しかし積分では低周波のノイズ信号が強調されてオフセットが発生してしまう。BPM からの信号に含まれるノイズとして、

$$n(t) = n_0 + n_1 \left(t - \frac{T_b}{2} \right) \quad (2)$$

を仮定する。ここで T_b はバケット区間の長さである。これを含んだ BPM 信号

$$Z'(t) = \frac{d(xI)}{dt} + n_0 + n_1 \left(t - \frac{T_b}{2} \right) \quad (3)$$

をバケット区間 $[t_1, t_2]$ での平均は以下となる。

$\bar{Z}' = x(t_2)I(t_2) - x(t_1)I(t_1) + n_0 + n_1 \left(t - \frac{T_b}{2} \right) = n_0$
ここでバケット区間の両端では $I(t_1) = I(t_2) = 0$ であることを用いている。これにより n_0 が求まったとして、それを

$Z'(t)$ から差し引いたものを積分する。

n_1 については、 $Z'(t_1)$ および $Z'(t_2)$ の値を用いてバケット内に線形内挿することで Eq. 2 を求める方法について、オシロスコープで取得したビーム信号を用いて試みた。しかし高周波のノイズが $Z'(t_1)$ や $Z'(t_2)$ の測定値に混入し線形補間の信号に大きなばらつきを発生した。 t_1 および t_2 の周辺である程度の時間平均をとればばらつきのいくらかの低減は可能ではあるが、処理が複雑化することから MR 用動作にはこの機能は組み込んでいない。各バケット区間のタイミングは、前述の時刻と RF 周波数のテーブルとクロックから求めている。

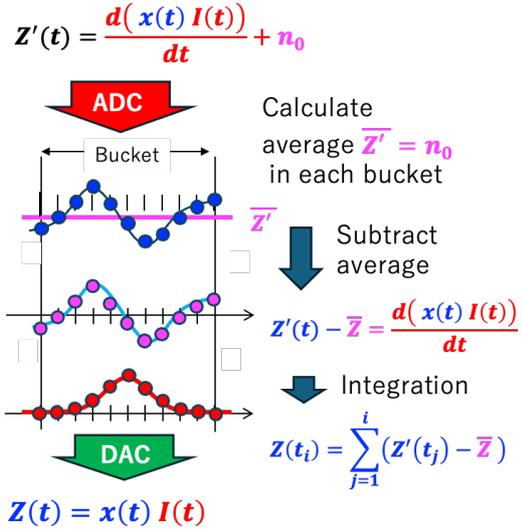


Figure 2: Integration of BPM signal with removing offset produced by noise signal.

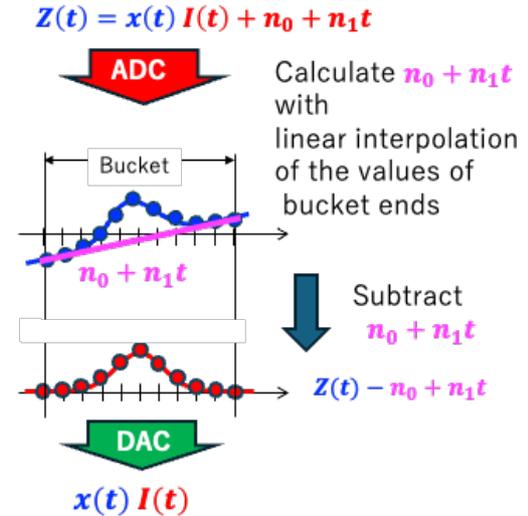


Figure 3: Removal of offset with baseline linear interpolation.

2.2 RCS の BPM 信号のオフセット除去

前節で述べた線形内挿によるオフセット除去の手法 (Fig. 3) は RCS の BPM 信号に適用予定である。RCS では、電極直後にインピーダンス変換回路を置くことにより電極からは高インピーダンスの信号線に接続されている

と見え、それにより電極の時定数が伸びることから微分特性は大きく低減されている[4]。これから

$$Z(t) = x(t)I(t) + n_0 + n_1 \left(t - \frac{T_b}{2} \right) \quad (4)$$

とおける。この手法では低域通過フィルタともなっていることから高周波ノイズも小さくなっているため、残留するオフセット信号の除去にこの方法は有効と判断している。本装置では、この方法と、2.1 節の方法の2つを切り替え可能としている。当初の設計ではこれらをシリーズで適用可能としていたが、実際のプログラミングの制限から片方を選択するという変更を行った。実機では FPGA の高性能化によりシリーズ化も可能とする予定である。

2.3 ターンあたりのサンプリング数とベータトロン振動用キック生成 FIR フィルタ

各スライスを個別にフィードバックするため、各スライスそれぞれで周回ごとの位置の履歴から、各スライスで必要とするキックを生成している。これには、1周回あたりのサンプリング数 N を必要とする。電子リングなど周回周期が一定の場合には、周回あたりの N は固定できるが、MR や RCS では加速とともに周回周期が変化する。一方、今回のデバイスを含めて最近のデバイスではサンプリング周期を一定とする必要があるので N が変化していく。そこで加速中に N をリアルタイムで計算している。この計算に必要な周回周期は、前述の時刻・周波数テーブルと、

また、キックのタイミングについても BPM からキッカーまでビームが移動していく時間が変化するのでこれも時刻・遅延テーブルを用意し、それに従って変化させる機能を持たせている。今回はこの2つについてはベンチ試験を行っていないが、今後、これらについても試験を進める予定である。

3. 試作機 MEDS MMC-TRX02-B

試作機には三菱ディフェンスアンドスペーステクノロジーズ (MEDS) 製の RFSoc FPGA ボードである MMC-TRX02-B [8] を用いた。スペックを Table 2 に示す。今回の開発では、フィードバックおよびそれに付随する各種の機能などの設計を KEK が行い、実際の FPGA のプログラミングは MEDS に依頼した。このボードは 576 MHz で動作し、ADC は 4×576 MHz のサンプリングレートで駆動され 4 データごとの平均をとって 576 MHz で出力している。これにより広いアナログ帯域をもつ ADC 入力で発生する高周波ノイズを平滑化している。なお、このボードではデジタル入力 (DI)ポートが1つ、デジタル出力ポートは無いため、ADC や DAC を必要に応じて DI/DO として用いた。

Table 2: Specification of FPGA Boards

Model	MMC-TR02-B	ZCU216
Maker	MEDS	AMD
FGPA (RFSoc)	XZCU27DR-1	XCZU49DR-2
Speed grade	1	2
# of ADC ,DAC	8	16
ADC	12-bit, 4.1GS/s	14-bit, 2.1GS/s
DAC	14-bit, 6.5GS/s	14-bit 9.85GS/s

また、ADC や DAC の入出力に置かれていた balun は低周波を通さないで、Balun を除去して低周波まで通過させる簡単な AC 結合とし、ADC や DAC の差動入出力の片側だけを用いることとした。

4. 試作機での BPM 信号積分試験

試作機において、2.1 節の積分回路について模擬信号により動作を確認した。セットアップを Fig. 4 に示す。この試験では周回周期は入射時の 3 GeV での値に固定しており、サンプリング数/周回 N は一定値である。プロセッサはバケットに同期した信号を出力するように設計されているので、それを任意波形発生器 (“Function Generator”) のトリガとして信号を得ている。これにより周回周波数が変化する際も模擬信号はプロセッサと同期を取ることができる。模擬信号はパンチ波形に近い 100 ns 程度の長さの台形波とした。この模擬信号は微分器 (図中の “Differentiator”) で微分され ADC の入力となる (“ADC in”)。模擬信号では rise time が fall time より長くしたが、それが “ADC in” の前後の非対称として現れている。微分器は SMA-T に短絡したケーブルを接続することで、分岐された信号が短絡端で極性反転し遅れて加算されることを用いている。ADC のデータは積分器 (“Integrator”, Fig. 1) によりバケット毎に積分され、結果は DAC によりアナログ信号として出力される (“DAC out”)。これらの信号は信号分配器により分岐しオシロスコープで取得している。その結果を Figs. 5, 6 に示す。ここで “PC” として示されている信号は、オシロスコープで取得した “ADC in” を PC に取り込み積分したものである。Figure 5 は、信号 “PC” について “DAC out” の波形との比較のためスケールおよびオフセットを調整したものであり、両者の近似度は高くフィードバックに十分な精度と期待している。また、微分前の信号である “FG out” と積分結果が異なる点については、微分器の特性によるものと考えている。ところで、”DAC out” 信号では、ベースラインが負の値となっている。これは後述するように、DAC 出力や ADC 入力が AC 結合化されていることに起因していると思われる。模擬信号ではデューティーが 50/50 ではないのでこの現象が現れるがベータトロン振動が生じた際の信号は AC 結合の周波数より高い AC 信号であるので、ベースラインは 0 となると考えている。そうでない場合に備えて上記の BPM 信号に対する2つの処理を連続して適用可能とする予定である。

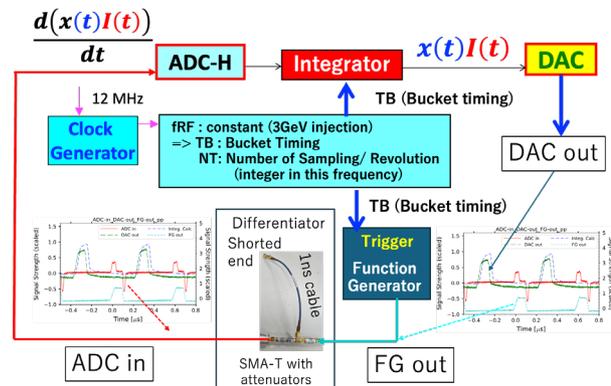


Figure 4: Bench test of “integrator”.

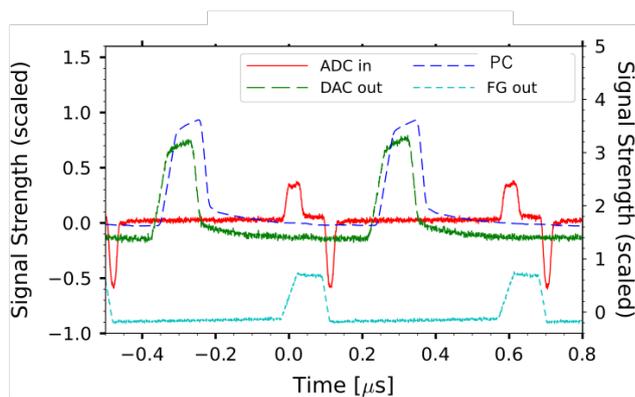


Figure 5: Signal of each point in Fig. 3.

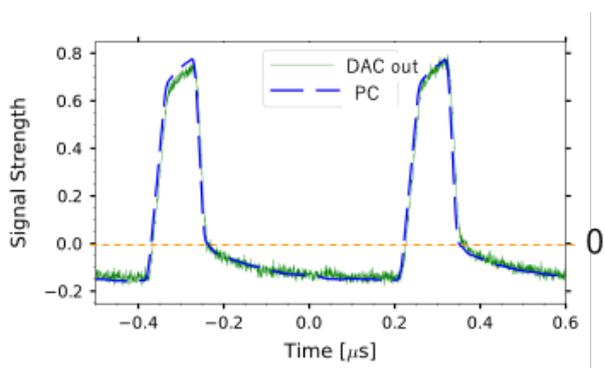


Figure 6: Comparison of “DAC out” and “PC” signal shapes.

5. 実機: AMD ZCU216

5.1 AMD ZCU216

実機用の FPGA ボードとして AMD ZCU216 評価ボードを選定した[9]。写真を Fig. 7、スペックを Table 2 に示している。

試作機からハードウェアを変更した理由として、試作機として用いた MEDS MMC-TR02-B では、

- 1) デジタル IO ポートの数が非常に少なく、ADC や DAC を用いてその代替とする必要があった、
- 2) 576 MHz での動作が難しいブロックがありそこでは周波数を半減させて動作させている(Fig. 1 で示している DAC の遅延量等)。

1) については、FPGA ボードのハードの変更で済むが、2) については、改善の手段として FPGA のスピードグレードを試作機の FPGA の “1” から実機の搭載する FPGA の “2” へ向上させることで解決可能かを探ることとした。

一方、評価ボードというもの全般について、価格や納期の点で有利である一方、製品ライフタイムや修理等の対応の点でカスタムに開発するボードに劣ると言われている。実際、AMD ではないが同様のスペックのボードを評価ボードと称して販売している商社からもこのようなコメントがあった。これに対し Fermilab では、大学等と共同して ZCU216 をベースとした量子計算機研究用のシステム QICK(Quantum Instrumentation [10]) を開発し大学や研究所に提供している。加えて、フィードバックでは低周波側では数十 kHz 程度の信号まで処理が必要であるが、その一つの解決方法としてバッファアンプボードを

ADC や DAC に取り付ける方法がある。QICK ではこのような DC 結合用のアンプボードを開発しており、また、筐体についても提供している。

これらの状況および予算との兼ね合いから、J-PARC MR では QICK のアンプボードや筐体を手入手することとしアメリカのメーカーと打ち合わせを行ったが関税等の理由により遅延し現状でも入手できていない。そこで、ZCU216 の付属品だけで構成することとしたが、試験には十分なスペックとなっている。

5.2 AMD ZCU216 の入出力

RFSoc に用いられている ADC や DAC は、DC オフセット電圧が乗った差動入力、および作動出力となっている。そのため、それらの入力・出力に対しては差動アンプにより変換する方法がとられるが、今回はアンプが入手できなかったことから、ADC や DAC のそれぞれを外付けのキャパシタンスにより AC 結合とし、それをシングルエンドの入力・出力とする方法をとる[3]。都合のいいことに ZCU216 に付属する IO ボード MX655 と集合ケーブルを用いて ADC および DAC の差動信号(ADC および DAC あたり正負2本)を SMA コネクタとして取り出し可能となっているので、それに DC block を取り付け AC 結合とした。MR では Mini-Circuits の安価な DC block で AC 結合としている。また、並行してバッファアンプについても検討を行っている。

試作機で開発された FPGA プログラムの ZCU216 への移植については、MEDS とは異なる会社に依頼しており、近々、動作を確認する予定としている。

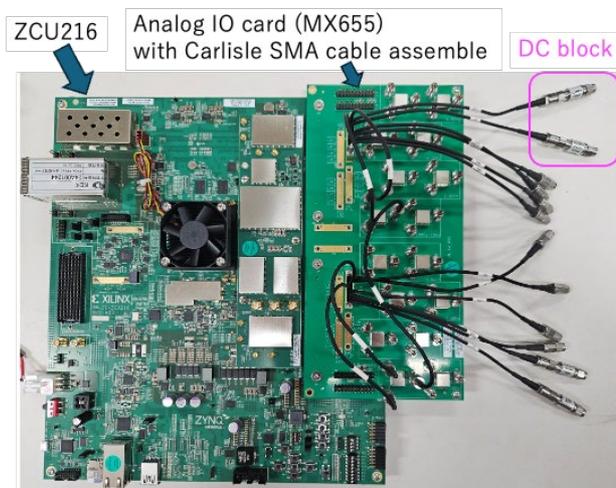


Figure 7: ZCU216, Analog IO board (MX655), Carlisle SMA 8 cable assemblies with DC blocks attached to some of them.

6. まとめ

試作機の試験を開始し、まず一定周回周波数での積分器の動作の確認を行った。また実機用の FPGA ボードの選定を行い、Fermilab などでの評価をもとに ZCU216 評価ボードを用いることとした。今後、本装置の中核の機能である周回周波数への対応等の試験を行い、ビーム試験に向けて改良等を行っていく予定である。

謝辞

フィードバックの開発に際しては、J-PARC の RF グループのスタッフ、特に田村文彦氏には、LLRF で用いている RF 周波数やバケットタイミング生成手法についての教授、助言に感謝します。さらに LLRF で開発された同期用 FPGA プログラムの利用について感謝いたします。また、FPGA プログラムの開発に携わっていただいた MEDS の協力を感謝します。

参考文献

- [1] Y. Sato *et al.*, “J-PARC 主リングにおける FX 830 kW, SX 90 kW の利用運転達成と今後の展望”, FRO0603, Proc. of the 22nd Annual Meeting of Particle Accelerator Society of Japan (PASJ25), Oct. 2025.
- [2] K. Nakamura *et al.*, “Intra-bunch Feedback System for the J-PARC Main Ring”, THOAA03, the Proc. of IPAC2014, 2014.
- [3] T. Nakamura *et al.*, “J-PARC 主リングでの RFSoc ベースのイントラバンチフィードバックの開発: 設計と初期評価”, FRP015, Proc. of the 21st Annual Meeting of Particle Accelerator Society of Japan (PASJ24), Oct. 2024.
- [4] I. Yamada *et al.*, “J-PARC RCS 用イントラバンチ型ビーム不安定性抑制装置の検討”, THP069, Proc. of the 22nd Annual Meeting of Particle Accelerator Society of Japan (PASJ25), Oct. 2025.
- [5] K. Nakamura *et al.*, “Fabrication of Tapered Coupler for Intra-bunch Feedback System in J-PARC Main Ring”, SAOM03, Proc. Of the 11th Annual Meeting of Particle Accelerator Society of Japan (PASJ2014), Aug, 2024.
- [6] F. Tamura *et al.*, “Commissioning of the next-generation LLRF control system for the Rapid Cycling Synchrotron of the Japan Proton Accelerator Research Complex”, Nucl. Inst. Meth. Phys. Res. Sect. A, vol. 999, p. 165211, May 2021.
- [7] Y. Sugiyama *et al.*, “NEXT GENERATION LLRF CONTROL SYSTEM FOR J-PARC MR”, WEOB07, Proceedings of the 19th Annual Meeting of Particle Accelerator Society of Japan October 18 - 21, 2022.
- [8] <https://www.medstec.co.jp/products/particle-accelerator/rfsoc.htm>
- [9] <https://www.amd.com/ja/products/adaptive-socs-and-fpgas/evaluation-boards/zcu216.html>
- [10] <https://github.com/openquantumhardware/qick>