

RFSoc 内蔵の高速サンプリング ADC の校正手順

CALIBRATION PROCEDURES FOR HIGH-SPEED SAMPLING ADCS INTEGRATED IN RFSoc

漁師雅次^{#, A)}, 石坂隆典^{A)}, 岩城孝志^{A)}, 林和孝^{A)}

Masatsugu Ryoshi^{#, A)}, Takanori Ishisaka^{A)}, Takashi Iwaki^{A)}, Kazutaka Hayashi^{A)}

^{A)} MITSUBISHI ELECTRIC DEFENSE AND SPACE TECHNOLOGIES CORPORATION

Abstract

The high-speed sampling ADC integrated in Xilinx's RFSoc can digitize high-frequency signals and convert them into I/Q signals through complex digital down-conversion, enabling the detection of amplitude and phase. This technology is beginning to be utilized in high-frequency accelerator control and high-frequency signal monitoring. The ADC integrated in the RFSoc supports input frequencies up to the C-band and has a resolution of 14 bits. To achieve high-speed sampling, a time-interleaved method is employed, where multiple ADCs sample in a time-division manner, operating as if they were a single ADC. However, the time-interleaved ADC has the drawback of degraded accuracy due to differences in the analog characteristics of each ADC block, such as amplitude and offset differences, and sampling timing delays. The RFSoc includes calibration functions to address these issues, and by properly utilizing these functions, it is possible to maximize performance. This report provides an overview of the calibration functions and explains the procedures for their use.

1. はじめに

Xilinx の FPGA (Field Programmable Gate Array) である RFSoc (Radio Frequency System on Chip) には、C バンドまでの高周波信号が直接サンプリングできる RF-ADC (Radio Frequency Analog-to-Digital Converter) が内蔵されている。このような広帯域高速サンプリングを実現するために RF-ADC は 8 つの sub-ADCs のタイムインターリーブ方式で構成されている。通常、sub-ADCs はそれぞれ異なるゲインやオフセットなどのアナログ特性を持っている。それらを校正しなければ、sub-ADC の数に対応した決まった周波数にスプリアスが発生し、この周波数の信号品質が低下する。しかし、ユーザは内蔵されているオフセット・ゲイン・タイミングの 3 種類のキャリブレーションブロックで、適切に校正パラメータを取得し、1 つの RF-ADC をタイムインターリーブされていることを意識せずに使用できる。今回は、それらのキャリブレーション手順の詳細および実装の実例を以下に示す。

2. タイムインターリーブ ADC の特性と課題

2.1 タイムインターリーブ ADC の概要と利点

タイムインターリーブ ADC は、2 つ以上の sub-ADC を時分割でサンプリングすることで、高速サンプリングを実現する。例えば、2 つの sub-ADC を用いる場合、サンプリングクロックはそれぞれの sub-ADC に $0[\text{deg.}]$ および $180[\text{deg.}]$ の位相で入力される。この結果、2 倍のサンプリングレートで出力データを生成することが可能となり、ナイキスト帯域が 2 倍に拡張される。これにより、広帯域の信号や複数のチャンネル、バンド数を増やす必要があるアプリケーションにおいて非常に有用である。

さらに、高い周波数を扱う場合に必要な周波数変換回路や周波数フィルタ回路が簡素化されるため、コストの低減が期待できる。しかし、タイムインターリーブ ADC

[#] Ryoshi.Masatsugu@mb.medstec.co.jp

はコストが高くなる傾向があるため、性能向上とのトレードオフを考慮する必要がある。

2.2 タイムインターリーブ ADC による課題

RFSoc 内のハードウェアマクロとして組み込まれている Dual RF-ADC Tile の構成を Fig. 1 に示した[1]。1 つの RF-ADC は 8 つの sub-ADC から構成されている。各 sub-ADC の特性は完全に一致しているわけではなく、必ず mismatches が存在する。主な mismatch 要因としては、オフセット、ゲイン、サンプリングタイミングの違いが挙げられる。これらの違いは、sub-ADC ごとの個体差や温度特性によって生じる。

このような mismatch は、タイムインターリーブ方式特有のスプリアス信号を引き起こす原因となる。スプリアス信号は信号の品質を劣化させ、最終的なデータの正確性に影響を与えるため、これらの課題に対処するためにはキャリブレーション手法が必要である。

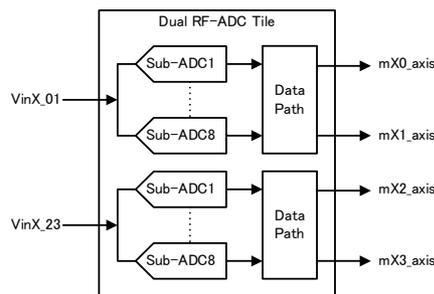


Figure 1: Structure and data path of dual RF-ADC tile.

2.3 オフセットの mismatch による影響

まず、8 つある sub-ADC のそれぞれのオフセットが異なる場合、入力が DC 信号であっても 8 サンプル周期の出力が得られる。この出力を FFT 処理すると、スプリアス信号が $k * F_s / 8$ の位置に現れる。ここで、 F_s は RF-ADC の合成サンプリングレート、 k は $0, 1, 2, \dots, 7$ を表す。

Figure 2には、正規化周波数0.04を入力したときのシミュレーション結果を示す。入力信号の周波数成分とは別に、正規化周波数0, 0.125, 0.25, 0.375, 0.5にスプリアス信号が発生する。このスプリアス信号のレベルは、オフセットのズレによって決まる。

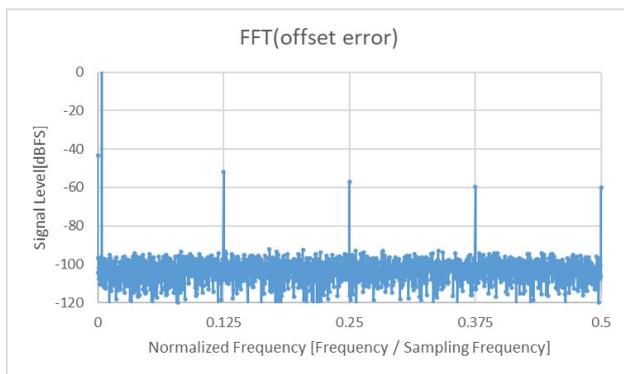


Figure 2: Spurious signals with different offsets.

2.4 ゲインのミスマッチによる影響

次に、8つの sub-ADC のそれぞれのゲインが異なる場合について考察する。入力信号に対して 8 サンプル周期で AM 変調がかかった信号に見える。この信号 FFT 処理すると、スプリアス信号は、ゲインのズレによって入力信号の周波数 f_{in} に対して特定の周波数位置に現れる。ここで、 F_s は RF-ADC のサンプルレート、 f_{in} は入力信号の周波数とする。この場合、周波数 f_{in} の入力信号は、sub-ADC のサンプリングレート $F_s / 8$ のナイキスト周波数を考慮する必要がある。

エイリアシング周波数を f_a とすると、スプリアス信号は $\pm f_a + (k/8)F_s$ の位置に現れる。ここで、 k は 0, 1, 2, ..., 7 の整数である。Figure 3 には、正規化周波数 0.04 を入力したときのシミュレーション結果を示す。ゲインのズレのレベルに応じてスプリアス信号は、正規化周波数 0, 0.125, 0.25, 0.375, 0.5 に対して、入力周波数の土の位置に発生する。

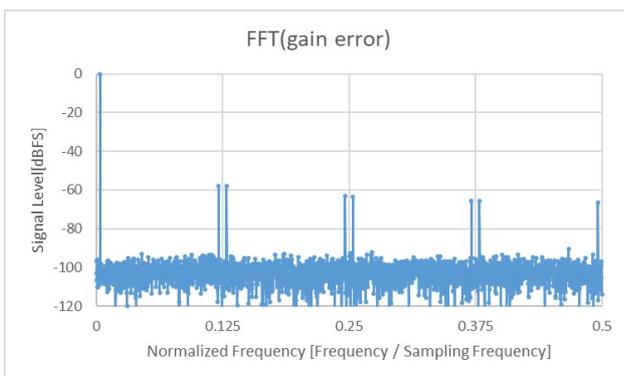


Figure 3: Spurious signals with different gains.

2.5 サンプリングタイミングのミスマッチによる影響

最後に、8つの sub-ADC のそれぞれのサンプリングタイミングが異なる場合について考察する。Figure 4 に示すように、スプリアス信号はゲインエラーの場合と同様に、

$\pm f_a + (k/8)F_s$ の位置に現れる。ここで、 F_s は RF-ADC のサンプルレート、 f_a は入力信号の周波数 f_{in} に基づく sub-ADC でのエイリアシング周波数である。

サンプリングタイミングのズレにより、入力信号の周波数 f_{in} が異なるサンプリングポイントでサンプリングされるため、スプリアス信号が発生する。具体的には、サンプリングタイミングのズレのレベルに応じて、スプリアス信号は、正規化周波数 0, 0.125, 0.25, 0.375, 0.5 に対して、入力周波数の土の位置に発生する。

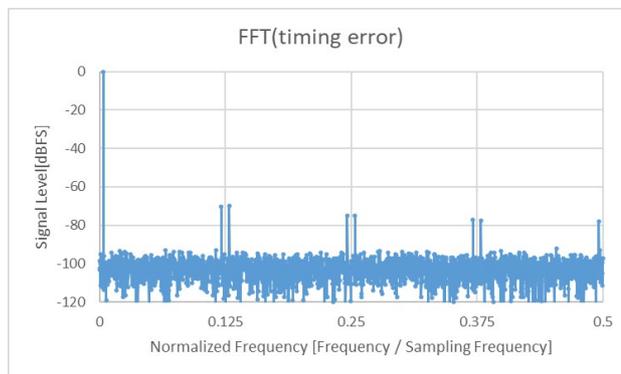


Figure 4: Spurious signals with different sampling timings.

3. RF-ADC のキャリブレーション手順

3.1 RF-ADC のキャリブレーション手法と動作

複数の sub-ADC によるタイムインターリーブサンプリングでは、オフセット、ゲイン、サンプリングタイミングの個体差からスプリアスが生じる。このようなスプリアスを抑制するために、いくつかのキャリブレーションブロックを用いて校正を行う。Figure 5 は、RF-ADC のキャリブレーションブロックの構成と処理の順序を示している。以下に、これらの校正ブロックを用いた校正動作について示す。

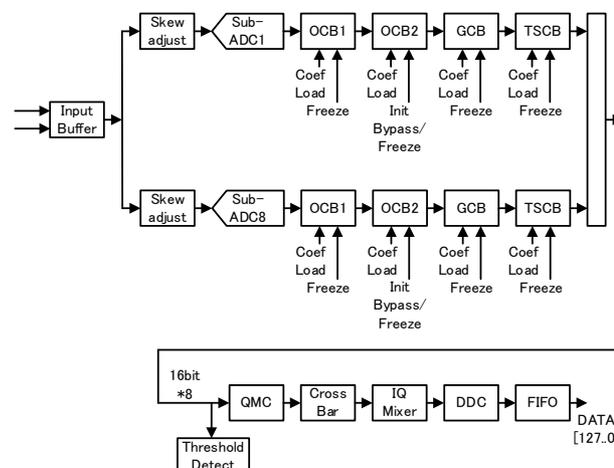


Figure 5: Calibration block of RF-ADC.

各 sub-ADC には、2 つのオフセット校正ブロック (OCB1 および OCB2)、1 つのゲイン校正ブロック (GCB)、およびタイミング校正ブロック (TSCB) が配置されている。これらの校正ブロックを活用することで、入力信号を後段に伝えないフォアグラウンドキャリブレーションと、入力信号

を後段に伝えながら行うバックグラウンドキャリブレーションの 2 つの校正機能を実現される。フォアグラウンドキャリブレーションはシステム起動時に実施され、各 sub-ADC の特性を初期化する。一方、バックグラウンドキャリブレーションは運用中に継続的に行われ、リアルタイムでの特性補正を可能にする。

3.2 キャリブレーションブロックの動作

オフセットキャリブレーションブロックは、各 sub-ADC の DC オフセットを補正する。このブロックは OCB1 と OCB2 という 2 つのサブブロックに分かれている。OCB2 はフォアグラウンドキャリブレーション (FG CAL) 中のみ動作し、OCB1 はフォアグラウンドキャリブレーションとバックグラウンドキャリブレーション (BG CAL) の両方で動作する。OCB2 は電源起動直後の初期化時に sub-ADC のオフセットをキャンセルする。OCB1 ブロックは、入力信号のオフセット位置に影響を与えることなく、バックグラウンドキャリブレーションプロセス中に sub-ADC のオフセットを継続的にキャンセルする。

ゲインキャリブレーションブロック (GCB) は、インターリーブされた sub-ADC 間のゲイン差を補正する。このブロックは入力信号を必要とし、その最低電力は -40 dBFS である。ただし、 $f = kFs / (2N)$ の周波数ピンは無視され、信号電力には含まれない。入力信号の電力が -40 dBFS 以下に $100 \mu s$ 以上落ちる場合、このブロックはフリーズモードに移行する必要がある。

タイムスキューキャリブレーションブロック (TSCB) は、インターリーブされたサブ RF-ADC 間のタイムスキューを補正する。TSCB も -40 dBFS 以上の入力信号が必要であり、入力信号の電力が -40 dBFS 以下に $100 \mu s$ 以上落ちる場合、このブロックはフリーズモードに移行する必要がある。

3.3 フォアグラウンドキャリブレーションの手順

フォアグラウンドキャリブレーションのステップは、Fig. 6 に示したように、RF-ADC の起動後の初期化時に実施される。このプロセスはスタートアップ IP によって管理されており、目的は OCB1 および OCB2 ブロックを通じて sub-ADC のオフセットとサンプリングスイッチのスキューを補正することである。OCB2 ブロックはこのプロセスの後にフリーズされ、動作モード中には再度更新されない。この際、インターリーブオフセット位置の周波数 ($k * Fs / 8$) に信号が存在しないことが理想的であり、したがって入力の終端が理想的である。

フォアグラウンドキャリブレーションプロセスの終了時に、OCB2 ブロックはフリーズされるが、OCB1、タイムスキューおよびゲインキャリブレーションブロックは通常バックグラウンドで動作するように設定される。起動時にどのような入力信号が入っているかわからない用途の場合、事前にキャリブレーションを実行して取得した係数を Load することが可能である。この場合、温度などの環境が変わらない限り、再度キャリブレーションを実行しなくてもスプリアスは抑圧される。

3.4 バックグラウンドキャリブレーションの制御方法

動作環境が変化した場合、特に温度が変化した際には、校正係数の再取得が必要となる場合がある。データの連続性が求められるアプリケーションでは、受信停止

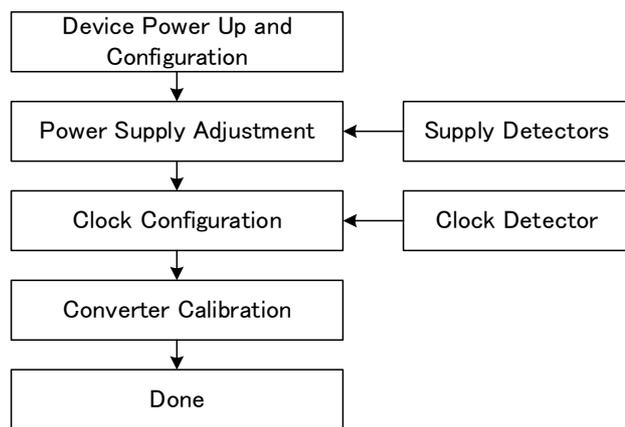


Figure 6: Power-on reset calibration state machine.

期間中に校正を実施することが好ましい。バックグラウンドキャリブレーションは、RF-ADC の電源が起動し、初期化が完了した後に有効となる。その目的は、主に温度などの環境変化によって sub-ADC に発生する様々なスキューやミスマッチをリアルタイムで調整することである。バックグラウンドで動作するブロックには、オフセットキャリブレーションブロック (OCB1)、ゲインキャリブレーションブロック (GCB)、およびタイムスキューキャリブレーションブロック (TSCB) が含まれる。

OCB1 は、温度変化によって発生する sub-ADC のオフセットレベルを調整するためにバックグラウンドで動作し、入力信号には影響を与えない。また、周波数が $k * Fs / 8$ に存在する信号はこのブロックの校正動作へ影響を与えない。GCB および TSCB は、それぞれ sub-ADC のゲインおよびタイムスキューを補正する。これらのブロックは入力信号を使用してスキューを推定および補正するため、入力信号が -40 dBFS を下回ると SNR が悪化するため校正係数の計算に使用できない。したがって、これらの 2 つのブロックを最適に使用するためには、係数の更新 (フリーズおよび再開) を入力信号のレベルに応じて動的に制御する必要がある。

RF-ADC のキャリブレーションのフリーズおよび再開の制御ポートは、Vivado の ADVANCE コントロールパネルを使用して実装できます。CAL フリーズポートは各 RF-ADC に対して独立しており、フリーズ制御信号 (int_cal freeze) およびステータス信号 (cal frozen) がある。フリーズ制御信号を有効にすると、両ブロックの係数更新がフリーズされる。さらに、フリーズ制御ポートの応答は約 $7 \mu s$ であるため、これよりも速く変化させないように注意が必要である。

フリーズ制御は、RF-ADC のデジタル出力の絶対値をリーキーインテグレータとヒステリシスカウンタで検出して行うことができる。事前に決定されたデューティサイクルを持つパルスやフィルパターンがある場合、その入力に合わせて、より正確な制御が可能である。また、GCB および TSCB は、起動後の初期化完了後に校正用信号を入力し、その後にシャットオフする機能を設けることで、確実に係数を設定できる。

このように、バックグラウンドキャリブレーションは RF-ADC の性能を維持するために重要な役割を果たす。

4. 実際の実装

4.1 ハードウェアの構成

タイムインターリーブ方式により発生するスプリアスの周波数は、sub-ADC の数や構成、および入力信号の周波数の関係による。そのため、関係性のない周波数で単一周波数を取り扱う場合や、サンプリング周波数に対して非常に狭い帯域のみを使用する場合には、デジタルフィルタを用いてスプリアスを抑圧することができる。これにより、SNRの改善が期待できる。しかし、広帯域の高周波信号入力を扱うアプリケーションでは、スプリアス周波数を避けるのは困難である。また、使用温度範囲が広い場合には、キャリブレーションの方法を工夫し、スプリアスを極力抑圧しなければならない。

例えば、広帯域の高周波信号を取り扱うアプリケーションでは、パワーオンリセット後に動作するフォアグラウンドキャリブレーション (FG_CAL) を機器へ実装された状態で確実にやりたい。そのため、無入力状態で起動できるように高周波信号スイッチを前段に設けて入力を終端できるようにしている。また、バックグラウンドキャリブレーション (BG_CAL) を最適に行うために、適切なキャリブレーショントーンを入力できる発振器からの信号を入力できるようにスイッチで入力を切り替えられるようにしている。Figure 7 に示すような構成が理想的である。

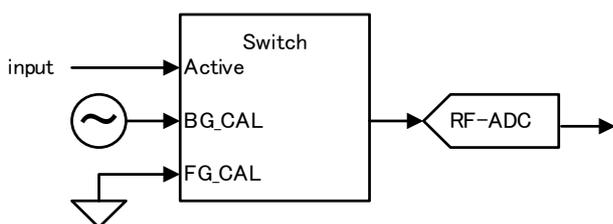


Figure 7: Implementation example of calibration signal input switching.

高周波加速器制御やビームピックアップからの高周波信号モニタでは、機器の周辺温度の変化があまりないため、バックグラウンドキャリブレーションにこだわる必要はないと考える。この時、入力ポートの終端や校正用信号入りに切り替えるハードウェアがない場合は、機器の試験調整時に入力を終端してキャリブレーション係数を取得しておく、電源起動完了後にそのキャリブレーション係数をロードすることで、スプリアスを抑圧できる。

このように、適切なハードウェア構成とキャリブレーション手法を採用することで、スプリアスの影響を最小限に抑え、信号品質を向上させることが可能である。

4.2 測定データの紹介

RF-ADC のサンプリングを 5 GSPS で動作させ、1125 MHz の信号を入力した。1125 MHz でデジタルダウンコンバージョン (DDC) を行った後、8 デシメーションしたスペクトラムを観測した結果を Fig. 8 に示す。バックグラウンドキャリブレーションを常時有効にした場合、スプリアスが 125 MHz と 250 MHz に発生していることが確認された。

サンプリングレートは 5 GSPS であり、これにより sub-ADC のサンプリングレートは 625 MSPS となる。入力信

号の周波数が 1125 MHz であるため、エイリアシング周波数は-125 MHz となり、実質的には 125 MHz と考えても差し支えない。オフセットズレによるスプリアスは、0 MHz、625 MHz、1250 MHz、1875 MHz、2500 MHz の周波数で発生し、そのうち 1125 MHz で DDC した後に 8 デシメーションフィルタの帯域内に残るのは 1250 MHz のみである。同様に、ゲイン・サンプリングタイミングによるスプリアスは、1250 MHz + 125 MHz = 1375 MHz が帯域内に残る。これらを DDC 後の周波数に換算すると、それぞれ 125 MHz および 250 MHz となる。

バックグラウンドキャリブレーションを常時有効にしていると、スプリアスが残存する。この実測データを取得した際のアプリケーションで使用する周波数帯域の上限近くである 1374 MHz (1125 MHz + 249 MHz) の校正信号を入力した。バックグラウンドキャリブレーションを実施後、フリーズさせて再度 1125 MHz を入力した場合、前に見えていたスプリアスが抑圧されていた。このように、広帯域信号を使用する場合は、キャリブレーションを適切に組み合わせる必要があるため、校正信号を入力できるようにしておくほうが望ましい。

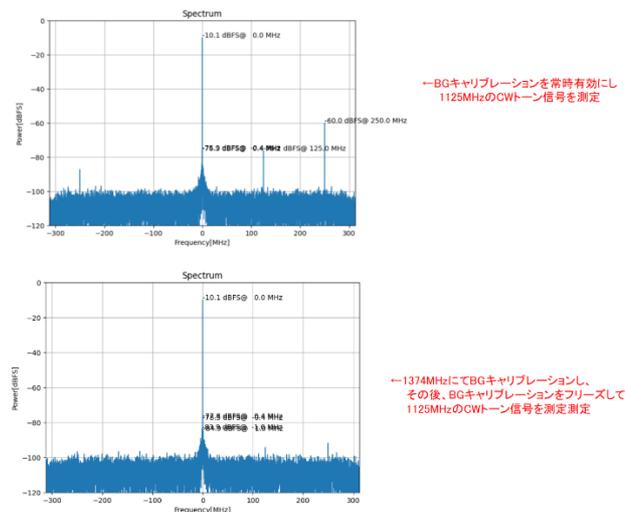


Figure 8: Spectrum at 1125 MHz with 8 Decimation at 5GSPS, spurious signals removed after 1374 MHz calibration.

5. まとめ

RF-ADC を使用する場合のキャリブレーションの実装方法について述べた。8 つの sub-ADC を用いたタイムインターリーブ方式の RF-ADC では、sub-ADC の個体差によるスプリアスが発生する。そのため、フォアグラウンドキャリブレーションおよびバックグラウンドキャリブレーションが必要である。

起動時にフォアグラウンドキャリブレーションを行い、必要に応じて使用する帯域幅の上限周波数付近のキャリブレーション信号を入力しバックグラウンドキャリブレーションを実施することで、残存しているスプリアスが抑圧される。なお、加速器制御など狭帯域にデジタルフィルタで絞る用途で、装置の設置場所の環境温度がほとんど変化しない場合は、動作中のバックグラウンドキャリブレーション

PASJ2025 FRP061

シオンは必要ないと考えられる。

ただし、広帯域信号を入力する場合は、適切な校正信号を入力できるようにしておくことが望ましい。これにより、スプリアスの発生を抑え、高精度なデータ取得が可能となる。

今後は、使用するアプリケーションに応じてキャリブレーション手法のさらなる最適化が求められる。特に、広

帯域信号を扱う場合には、キャリブレーションの重要性を再認識し、適切な手法を選定することが不可欠である。

参考文献

[1] <https://docs.amd.com/r/en-US/pg269-rf-data-converter>