

MPSoC を用いた MTCA 規格の上位互換 LLRF デジタル制御カードの開発

DEVELOPMENT OF MTCA STANDARD UPWARD COMPATIBLE LLRF DIGITAL CONTROL CARD USING MPSoC

漁師雅次^{#,A)}, 岩城 孝志^{A)}, 北川 隆太^{A)}, 津本 敦^{A)}, 濱川竜斗^{A)}, 林和孝^{A)}, 張替 豊旗^{A)}, 山浦 正義^{A)},
山崎 伸一^{A)}

Masatsugu Ryoshi^{#,A)}, Takashi Iwaki^{A)}, Ryuta Kitagawa^{A)}, Atsushi Tsumoto^{A)}, Ryuto Hamasu^{A)},
Kazutaka Hayashi^{A)}, Toyoki Harigae^{A)}, Masayoshi Yamaura^{A)}, Shinnichi Yamazaki^{A)}

^{A)} Mitsubishi Electric Defence and Space Technologies Corporation

Abstract

MTCA.0 (Micro Telecommunications Computing Architecture) standard digital control cards developed in 2010 include cERL, STF, SuperKEKB digital Low Level RF (LLRF) control system and beam position monitor (BPM) Used in high-frequency signal monitoring systems. Virtex-5 FXT of Xilinx FPGA (Field Programmable Gate Array) released in 2007 is implemented in this control card. However, it became difficult to add functions because the development environment for the firmware using Virtex-5 and the maintenance period for the OS for the PowerPC CPU had expired. Therefore, it became necessary to develop an upward compatible control card using FPGA that can use the new development environment. Therefore, Zynq UltraScale+™ MPSoC (Multi Processor System on a Chip), a new series of FPGA, was adopted. When porting the firmware to the new control card, only the minimum necessary changes, such as those specific to the FPGA device, were devised so that the source files for the firmware functions related to accelerator control could be used as they are.

1. はじめに

cERL・STF・SuperKEKB の加速器のデジタル LLRF 制御では、共通のハードウェア構成の制御カードが使われている。これらはハードウェアの改造なしに、デジタル位相検波やフィードバック制御などのデジタル信号処理を、FPGA 内のファームウェアを書き換えるだけで機能追加・能力向上を続けてきた。また、FPGA に内蔵されている CPU に Linux を組み込み、その上で EPICS IOC を動作させて、CA(Channel Access)を利用して監視や制御が容易にできる。

しかし、現在のデジタル制御カードは 2010 年に開発しており、搭載している FPGA は PowerPC440 を内蔵した Xilinx 製の Virtex-5 FXT(2007 年リリース)である。これは旧世代のデバイスであり、現在の Xilinx 製 FPGA 開発ツールの VIVADO に対応しておらず、古い FPGA 開発ツールの ISE しか使えない。そのため、ファームウェアの維持管理が難しくなってきた。また、Linux は Wind River Linux を使っており、保有する開発環境が保守期限切れになっており機能追加時の障害になっている。そこで、Xilinx 製の Zynq UltraScale+ MPSoC(2016 年リリース)を使った上位互換性のある新制御カードを開発して、今後も継続して機能追加ができるように考えた。

2. LLRF デジタル新制御カード

2.1 MTCA プラットフォーム

近年のデジタル加速器制御は PICMG で策定されている小型通信機器向けの MTCA 規格[1]の制御プラットフォームが多く採用されている。カードのサイズは Single-Width および Double-Width の規定がある。また、部品実

装の高さ方向には、Short-Size・Mid-Size・Full-Size の 3 種類の規定がある。MTCA システムを構成する場合は、それぞれのモジュールでどのようにサイズや枚数を組み合わせるか考えてシェルフおよびバックプレーンの構成を選択する必要がある。一般的には、Mid-Size を 12 枚実装できるリダundant仕様のバックプレーンおよびシェルフが使われている。

近年、多く採用[2]されている MTCA.4 規格[3]の Double-Width のサイズの基板では、Zone3 と呼ばれるバックプレーン側との接続エリアで、リアトランジションモジュール(RTM)を拡張できる。加速器制御では RTM には高周波回路(周波数変換・レベル調整・周波数選択・発振回路)が実装される構成が多い。19 インチ標準ラックサイズの MTCA シェルフは、電源モジュール・空冷ユニット・MCH(MTCA Carrier Hub)などで構成されている。必要に応じて CPU カードや HDD カードなどを拡張する使われ方もできる。カード間の通信は、基本通信機能の GbE に加えて、大容量のデータ伝送ができる PCIe などの拡張通信機能がある。

2.2 新制御カードの構成

新制御カードも現在の制御カードと同様に、A/D 変換および D/A 変換のメザニンカードの実装ができる Single-Width, Full-Size となっている。但し、次のように外部インタフェース性能が向上している。

- PCIe が Gen1(2.5 Gbps) x4 から Gen3(8 Gbps) x8
- P2P, MLVDS バスの追加
- 取り外し可能な microSD カードによるブート

PCIe は現在の制御カードを使ったシステムでは使っていないが、他の種類のデジタイザボードでは使っており、MCH 上の PCIe スイッチ経由で CPU カードに DMA でデータ伝送している。新制御カードでは PCIe の世代が Gen.1 から Gen.3 へ新しくなっており伝送速度の高速

[#] Ryoshi.Masatsugu@mb.medstec.co.jp

化および x4 レーンから x8 レーンにレーン数が広がっており、CPU カードを使ったアプリケーションにおいてより高速なデータハンドリングができるようになった。

Figure 1 に新制御カードに A/D 変換および D/A 変換のメザニンカードを実装した際の外観写真を示した。上段に A/D 変換に入力するアナログ信号およびサンプリングクロック用の多極同軸コネクタがある。中段には D/A 変換から出力する差動アナログ信号用の多極同軸コネクタがある。下段は新制御カードであり、トリガ入力や電流量信号などの DC アナログ信号およびデジタル信号の入出力用コネクタがある。また Fig. 2 に現在の制御カードと新制御カードの機能ブロックの比較を示しており、Table 1 に主要諸元の比較を示した。

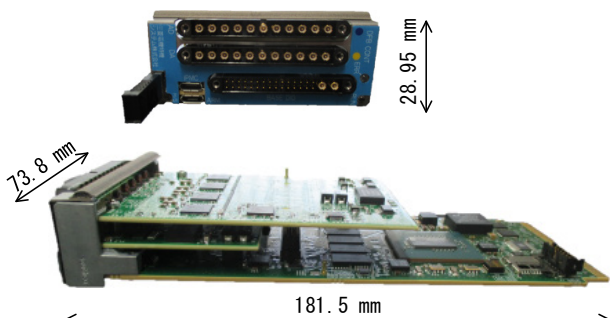


Figure 1: New MTCA.0 A/D, D/A board photograph.

Table 1: Specifications of Current and New Control Board

	Current Version	New Version
FPGA	Virtex-5 FXT	Zynq UltraScale+ MPSoC XCZU4CG
CPU	PowerPC440	CortexA53, R5F
OS	Windriver Linux (EPICS-IOC)	Ubuntu or Xilinx Linux (EPICS-IOC)
RAM	DDR2-SDRAM	DDR4-SDRAM 1GiB (PS)
FPGA Configuration	Flash-ROM	micro-SD Card, Remote Update
ADC	4 ch, 16 bit, 160 MSPS max., BW 900 MHz	
DAC	4 ch, 16 bit, 500 MSPS max.	
DIO	DIN 12 ch, DOUT 12 ch	
Zone1 (AMC Connector)		
Port [0:1]	1000BASE-BX	
Port [2:3]	Storage	
Port [4:7]	PCI Express Gen1	PCI Express Gen3
Port [8:11]	—	PCI Express Gen3
Port [12:15]	—	P2P
Port [17:20]	—	M-LVDS
IPMB	IPMI v1.5 support	
Switch	8 bit DIP-switch	
Front Panel LED	Hot swap status (blue), Error status (red), Running status (green)	
Size	PCIMG MTCA Single-Width Full-Size 73.8 mm * 28.95 mm * 181.5 mm	

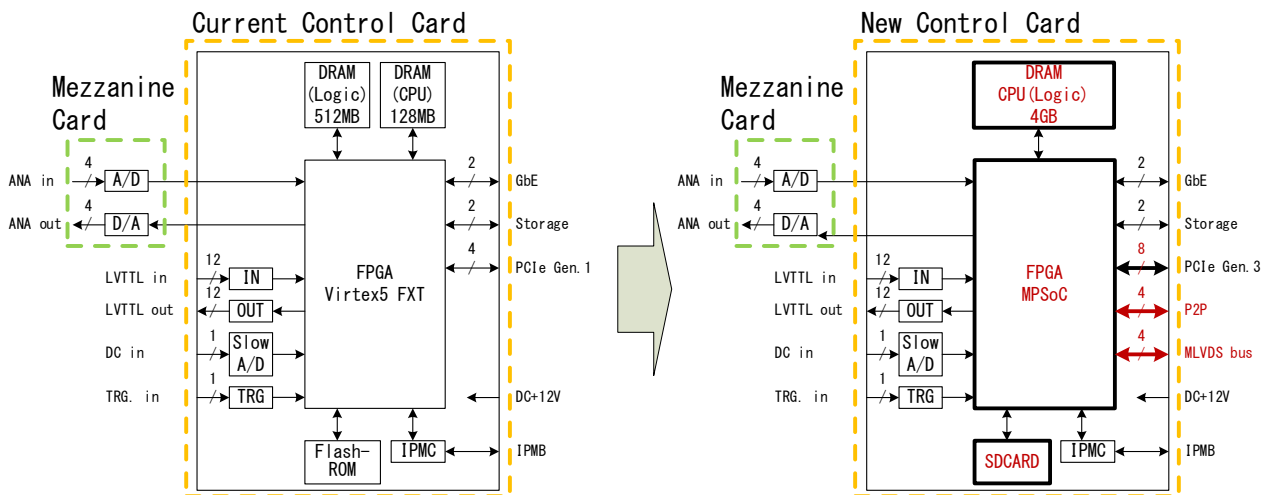


Figure 2: Current and new MTCA.0 A/D, D/A board block diagram.

2.3 FPGA ファームウェアの移植

新制御カードに実装した FPGA(XCZU4CG)には、PS(Processor System)部分にデュアルコア Arm Cortex-A53 およびデュアルコア Arm Cortex-R5F の 2 種類のプロセッサを内蔵している。PL(Programable Logic)部分は現在の制御カードの FPGA の約 2 倍ロジックセルおよび約 3 倍の積和演算ブロックならびに約 4 倍のメモリのリソースがある。

現在の制御カードで使っている Virtex-5 FXT で動作させているファームウェアを、新制御カードに移植する際には次のような変更箇所を最小限にとどめる開発方針を取った。

- 内蔵 CPU とのインタフェースが PLB から AXI に変わるが、レジスタ・メモリマップは変更しない。
- Virtex-5 専用の IP のみ、MPSoC 用の IP に置き換え再生成する。

まず、現在の制御カードで動作しているファームウェアのうち、LLRF 制御用のデジタルフィードバック制御および高周波信号監視の 2 種類を新制御カードに移植した。デジタルフィードバック制御のファームウェアは、クライストロンや空洞からのピックアップ信号をデジタルダウンコンバートして、IQ 信号としてベースバンドで設定した目標の振幅・位相になるように、フィードバック制御およびフィードフォワード制御をする機能を有している。また、高周波信号監視のファームウェアは、各部の高周波回路部の信号を検波した信号を A/D 変換して、電力を測定して、設定される閾値と比較してインターロック判定結果を出力する機能を有している。

2.4 Linux および EPICS IOC の実装

現在の制御カードの[4]Virtex-5 FXT では、内蔵される PPC440 に Wind River Linux を組み込み、その上に EPICS IOC を実装している。新制御カードで使った MPSoC の PS 部は、使用実績のある Xilinx 製の RFSoc[5]の PS 部と同様の構成となっており、Arm CortexA53 が内蔵されている。OS は実績のある Ubuntu を組み込み、開発のリスクを下げた。その後、機能拡張に制限があるが、OS 本体のサイズが小さく、起動が早くできる Xilinx Linux も実装した。

EPICS IOC を実装する際は、現在の EPICS レコードやシーケンサが流用できるように、PL と PS 間のインタフェースである AXI のレジスタマップは同じにした。また、従来から制御パラメータの調整時等に使われている波形モニタ(通称:中速モニタ)も同様に使えるようにした。但し、プロセッサのアーキテクチャが変わっており、デバイスサポートは新規開発する必要があった。

MPSoC には、リアルタイムプロセッサの Cortex-R5 も内蔵されており、ソフトウェアによるリアルタイム演算処理を利用したフィードバック制御などを今後は考えたい。

2.5 波形収集機能の SDRAM 共有

制御カードには、A/D 変換した高周波信号を、そのまま波形収集する機能(通称:高速モニタ)がある。これは、インターロックなど異常が発生した前後の高周波信号の挙動を記録しておき、この時の状況の分析を行うためである。現在の制御カードでは、A/D 変換された信号を取りこんだロジック部分に直結されている DDR2-SDRAM

に波形を収集していた。収集したデータは、PowerPC から読み出せるようにしており、インターロックなど発生した場合は、マウントした NFS サーバーの指定ディレクトリに、一部だけ切り出したダイジェスト版のデータを自動的に保存する。その内容を確認後、必要ならば全てのデータを書き出せる。

新制御カードにも同様の機能を実装している。FPGA の性能が上がり DDR4-SDRAM を使えるため、メモリ帯域が広がった。これにより Fig. 3 に示したとおり、内蔵 CPU のワーキングメモリと波形収集用メモリを物理的に同一のメモリデバイスの上に領域を分離して確保できるようになった。これにより DDR4-SDRAM と FPGA 間の接続が 2 系統から 1 系統に削減できたため、FPGA のピン数が削減できた。これにより、FPGA のパッケージサイズの小型化もでき、入手性の向上および部品費用の削減もできた。

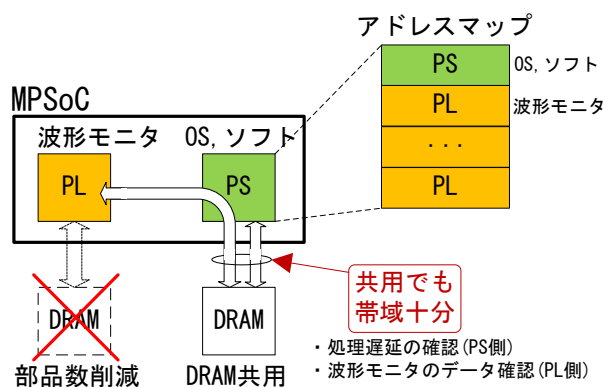


Figure 3: Shared DRAM by CPU and logic.

2.6 ハードウェア拡張機能

制御カードは、Fig. 4 に示す通り FPGA が実装されているメインカードに 2 枚のメザニンカードをスタッキングして機能拡張できる構成になっている。メザニンカードには 2 段目用と 3 段目用の 2 種類あり、次のような機能がある。これらのメザニンカードは、現在の制御カードと組合せて、すでに性能検証済みであるため、そのまま使えるように新制御カードではメザニンカードとのハードウェアインタフェースを同じにした。これにより既存の制御カードと同じ機能を持ったモジュールを構成できるようにした。

- 2 段目用メザニンカード
DAC 4 ch, 16 bit, 500 MSPS
DI 22 ch, DO 22 ch
- 3 段目用メザニンカード
ADC 4 ch, 16 bit, 160 MSPS
ADC 8 ch, 12 bit, 80 MSPS
ADC 2 ch, 14 bit, 400 MSPS

SuperKEKB の LLRF で利用されているフィードバック制御カードは、3 段目に ADC 4 ch・2 段目に DAC 4 ch を拡張している。高周波信号監視カードは、3 段目に ADC 8 ch・2 段目に DIO カードを拡張している。これらとは別にチューナ制御カードは、フィードバック制御カードと同じ構成で、インターロック判定カードは ADC 4 ch と DIO カードを組み合わせて使用されている。また、ADC 2 ch と組み合わせて高周波信号のダイレクトサン

リングによる、振幅位相の監視カードもあり、SuperKEKBでは高周波基準信号の光伝送線路の位相調整制御ユニットに使用されている。今後、機能追加や能力向上のために、既存のカードから新制御カードへの更新も考えられている。

新制御カードとは別に、現在は Virtex-5 FXT を使っている FMC キャリアカードがあり、同様に MPSoC への更新を行った。

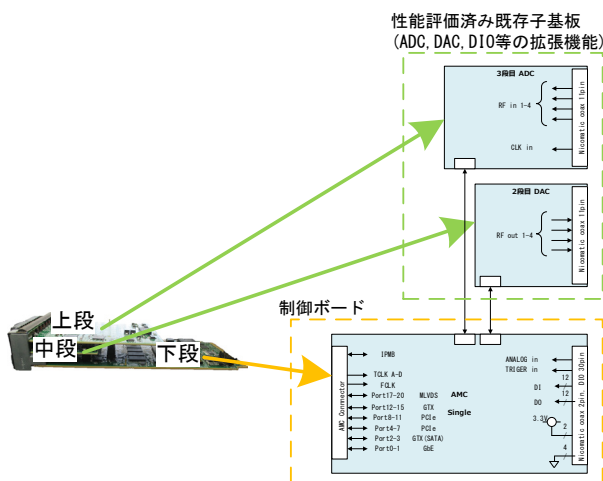


Figure 4: New MTCA.0 A/D, D/A board configuration.

2.7 OS およびファームウェアのアップデート機能

現在の制御カードの OS およびファイルシステムやファームウェアは NOR-FLASH ROM に保存されており起動時に展開され実行されていた。そのため、ファームウェアなどのアップデート時は、専用の FPGA 開発ツールおよびダウンロードケーブルを使って ROM データを書き換えていた。もしくは、Linux 起動後ならば Ethernet でリモートアクセスして Linux 上で動作するデータ更新用アプリケーションソフトで書き換えていた。しかし、いずれの方法も FLASH-ROM のインタフェースの通信速度が遅く時間がかかっていた。

新制御カードでは、OS およびファイルシステムやファームウェアは取り外し可能な microSD カードに保存されており、汎用のカードリーダーを使って PC 等でファイルを書き換えるだけでよく、専用のツールが不要である。また、Linux 起動後には SD カードがマウントされているため、外部 PC から Ethernet で Linux にリモートアクセスして SD カード内のファイルを書き換えるだけで更新作業ができる。その後、再起動すれば更新されたファイルにアップデートされて動作する。

今後、複数のカードを一括に更新作業をする際に管理が容易にできるようにするため、TFTP ネットワークブートなどを実装する予定である。

3. MTCA.4ADDA カードとの比較

MTCA.0 の制御カードの他に、2012 年に開発した Double-Width の Zynq 搭載 MTCA.4 準拠の A/D・D/A カードがあり、分解能 16 bit で最高 370 MSPS の A/D 変換デバイスが 8 ch 実装されている。Backplane には GbE・PCIe Gen.2 x4・P2P・M-LVDS が接

続されており、SD カードによるブート機能が実装されており、新制御カードはこれらの性能をさらに向上させている。但し、MTCA.4 の制御カードは RF-Backplane と組合せ μ RTM に RF 回路を実装できるため機能拡張性がより優れている[5]。

4. まとめ

2010 年に開発した Virtex-5 FXT を実装した制御カードにおいて、ファームウェアの開発環境の保守が困難になってきた。そこで新しい開発環境が使える MPSoC を使った上位互換の制御カードを開発した。現在のメザンカードをそのまま使え、ファームウェアも FPGA のアーキテクチャに依存する箇所の新規で開発し、信号処理はソースコードを流用できるようにした。また、外部と通信するための EPCIS IOC は、新たに MPSoC 用のデバイスサポートの開発は必要だが、互換性を持たせた。

新制御カードに使用した MPSoC は、現時点では少なくとも 2035 年までのサポートをメーカーが保証している。今後、現在の制御カードを順次更新できるように評価を進めていく。

参考文献

- [1] PICMG MicroTCA, <https://www.picmg.org/openstandards/microtca/>
- [2] K. Hayashi *et al.*, “Refinements of the new LLRF Control System for SuperKEKB”, Proceedings of the 9th Annual Meeting of Particle Accelerator Society of Japan, Osaka, Japan, Aug. 8-11, 2012, pp. 633-635.
- [3] M. Ryoshi *et al.*, “MTCA.4 RF Signal Processing System”, Proceedings of the 13th Annual Meeting of Particle Accelerator Society of Japan, Chiba, Japan, Aug. 8-10, 2016, pp. 340-344.
- [4] M. Ryoshi *et al.*, “LLRF BOARD IN MICRO-TCA PLATFORM”, Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, Himeji, Japan, Aug. 4-6, 2010, pp. 667-669.
- [5] M. Ryoshi *et al.*, “Evaluation status of RFSoc MTCA control card”, Proceedings of the 19th Annual Meeting of Particle Accelerator Society of Japan, Online, Oct. 18-21, 2022, pp. 831-835.