

KEK-PF における PLC を使用した RF 低速インターロックシステムの開発

IMPLEMENTATION OF RF SLOW-SPEED INTERLOCK SYSTEM USING PLC AT KEK-PF

高橋毅^{#, A)}, 路川徹也^{B)}, 内藤大地^{A)}, 坂中章悟^{A)}, 山本尚人^{A)}

Takeshi Takahashi^{#, A)}, Tetsuya Michikawa^{B)}, Daichi Naito^{A)}, Shogo Sakanaka^{A)}, Naoto Yamamoto^{A)}

^{A)} High Energy Accelerator Research Organization (KEK)

^{B)} East Japan Institute of Technology Co., Ltd.

Abstract

Low level RF system (LLRF) for 4 RF stations has been operating in the PF storage ring at KEK since 1982. We are upgrading the LLRF to digital LLRF system on the summer of 2023. As part of this upgrade, we developed a new slow-speed RF interlock system in the last year. The new slow-speed interlock system was built using programmable logic controller (PLC). To achieve both the high reliability required of an interlock system and the convenience of being accessible from a host system, the PLC system is equipped with two independent CPUs: one CPU executes the ladder program, and the other executes the EPICS program. The memory area of the ladder control CPU is separated into a ladder program area and an EPICS access area to ensure reliability when executing the ladder program. The developed system have been operating stably in the PF storage ring over the past year.

1. はじめに

KEK の Photon Factory 電子蓄積リング (PF リング) は 1982 年に運転開始し、アップグレードしながら現在まで運転されている[1, 2]。PF リングに設置された RF 加速空洞用ローレベル RF (LLRF) システムは、PF リング建設時に構築されたシステムを、改良しつつ現在まで使用してきた。この LLRF システムの一部を構成する低速の RF インターロックシステムやクライストロン用のインターロックシステムも、リレー素子や LED 素子を使用した回路モジュールによるインターロックシステムを使用してきた。ここで、低速 RF インターロックとは、例えば真空異常や温度異常により RF 出力を OFF するインターロックで、空洞反射 RF 等により高速に RF を OFF する高速 RF インターロック以外のものである。インターロック状態は CAMAC インターフェースを用いて信号をコンピュータに取り込み、状態表示していた。これらの古い LLRF システムや低速 RF インターロックシステムは構成するモジュールが老朽化し、また故障した場合の予備モジュールの製作も困難になりつつあり、新型への更新を検討していた。

2023 年度に LLRF システムを新型のデジタル LLRF システム[3]に更新する予定となり、これに対応するため、先行して低速 RF インターロックシステムを更新することにした。低速 RF インターロックシステムは、RF 加速空洞やクライストロン等を保護するため確実に動作する事が求められる。このため、新しく低速 RF インターロックシステムを構築する上での基本方針を次のように決定した：

- プログラマブルロジックコントローラ (PLC) を使用したインターロックシステムとする。
- 確実なインターロック動作を担保するためインターロック動作は PLC ラダープログラム処理とする。
- インターロック動作表示は PLC 上で動作する EPICS[4]プログラムにより信号を取り込み、コン

ピュータ (PC) 上に状態表示出来るようにする。

- 一部アナログ信号によりインターロック動作させる場合には、そのしきい値を PC 画面上から変更出来るようにする。

以上のような基本方針の下にシステムを構築した。

2. インターロックシステムの基本構成

PLC ラダープログラムを実行出来るとともに EPICS プログラムも実行出来ることから、横河電機株式会社製プログラマブルコントローラ (FA-M3) シリーズ[5]を採用した。また、PLC ラダープログラム実行用の CPU モジュールと EPICS プログラム実行用 CPU モジュールを併用する構成とした。インターロック動作は確実に行われなければならないため、ラダープログラム実行用 CPU モジュールにてインターロック動作プログラムを実行させる。PF リングは周長 187 m あり、RF 加速セクションが対角線上に二箇所設置され、それぞれに 2 台の RF 加速空洞が設置されている。これらの RF 加速空洞の直下には真空計、イオンポンプ電源や RF 加速空洞用チューナ制御機器が設置されていて、これらの機器より各種信号を PLC モジュールに取り込む必要がある。LLRF システムは南側 RF 加速セクションに近いリング中央部に設置されているため、入出力信号の発生箇所がリング内のほぼ三箇所に分散している。このため、LLRF システム付近に CPU モジュールと入出力機器を有する親機を設置し、二箇所の RF 加速セクションに近い位置にそれぞれ子機を設置する構成とし、信号配線の簡便化を計った。親機と 2 台の子機間は光ファイバーケーブルにて接続されている。子機上に設置された信号入力モジュールより入力されたデータは親機へ送られ、親機に設置された入出力モジュールにて入力されたデータとともに親機内の CPU モジュールで一括処理される。Figure 1 は親機の PLC 機器の写真を示す。Figure 1 に示すように、親機には PLC ラダープログラム実行用 CPU、EPICS プログラム実行用 CPU、各種信号入機器、及びクライストロン用高圧電源

[#] takeshi.takahashi@kek.jp

へのインターロック出力機器、LLRF コントロール部への RF インターロック出力機器が設置されている。

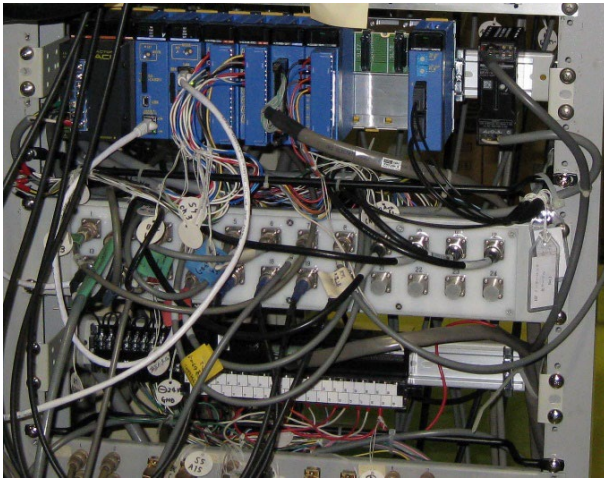


Figure 1: Photograph of the central PLC device.

3. 信号処理の概要

Figure 2 は、インターロック信号処理プログラムの概要を示す模式図である。Figure 2 に示すように、ラダープログラム実行用の CPU 内において、ラダープログラムを実行するメモリ領域と、EPICS がアクセスするメモリ領域とが分離されている。子機や親機に設置された各 PLC 入力モジュールより入力された信号情報は、ラダープログラム実行メモリ領域に格納される。このラダープログラム実行メモリ領域のデータによりインターロック判定処理され、結果が PLC 出力モジュールより出力される。すなわちインターロック動作はすべてラダープログラムで実行処理される。また、ラダープログラム実行メモリ領域のデータ

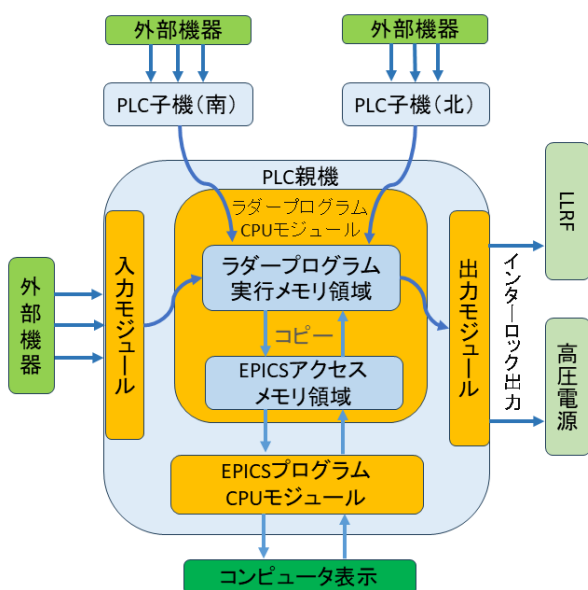


Figure 2: Schematic diagram showing an overview of interlock signal processing.

は EPICS アクセスメモリ領域にコピーされ、EPICS プログラムはこの EPICS アクセスメモリ領域にアクセスしてデータの取り出しや書き込みを行う。このようにインターロック判定を行うラダープログラムがアクセスするメモリ領域と、EPICS プログラムがアクセスするメモリ領域とを分けることにより、信頼性の高いインターロック処理が行われるよう工夫されている。ラダープログラム実行メモリ領域と EPICS アクセスメモリ領域との間のデータコピーは、ラダープログラムの一部として実行されており、従ってこのデータコピーは高速に行われる。これに対して EPICS プログラムのデータ更新はほとんど 1 秒ごとである。インターロック状態はコンピュータ上で実行される表示プログラムが EPICS データベースにアクセスして、そのデータを表示している。すなわち、状態表示の更新はほぼ 1 秒ごとであるが、インターロック処理そのものはラダープログラムの実行速度で高速に実行処理されている。

4. インターロック表示画面

Figure 3 はインターロック状態を示す表示画面である。

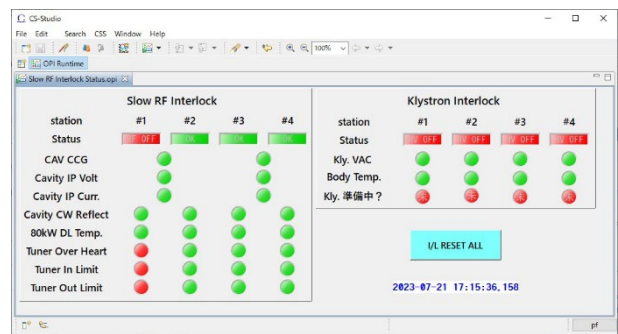


Figure 3: Interlock status display.

この表示画面は CS-Studio[6] によって作成されている。PF リングにおいては 4 台の RF 加速空洞を 4 台のクライストロンにて独立に運転しているため LLRF も 4 系統独立に制御する必要がある。このため低速 RF インターロックも 4 系統が独立して処理され、インターロック出力信号も各系統ごとに独立して出力される。Figure 3 (左半分) に示す通り、空洞の真空異常 (コールドカソードゲージによる圧力上昇検出 (しきい値: 10^{-4} Pa)、空洞のイオンポンプ電流の上昇、イオンポンプ電圧の低下)、後述する空洞からの CW 反射 RF の検出 (しきい値: 20 kW)、サーキュレータに付属している 80 kW ダミーロードの温度上昇 (温度スイッチ、しきい値: 60 °C)、チューナー系の異常 (オーバーヒート、機械的リミット動作) が検出された場合には、該当する RF ステーションの RF 出力を遮断し、空洞や大電力 RF 機器を保護する。

またクライストロンを保護するためのインターロックに関しても同様に 4 系統が独立してインターロック出力される。Figure 3 (右半分) に示す通り、クライストロンの真空異常 (イオンポンプ電流の上昇、しきい値: 4.5 μ A)、クライストロンのボディ冷却水温の入・出の温度差の上昇 (しきい値: 3 °C)、クライストロン系 (各種ファン、集束コイル電源、ヒーター電源) の準備中、を検出した場合には、該当する RF ステーションの高電圧を遮断し、クライストロンを保護する。なお、空洞やクライストロン等の大電力機器に流

す冷却水については、各機器のフロースイッチの接点を入力する冷却水インターロック盤が別途使われており、冷却水停止時には該当するRFステーションの高圧電源を遮断する。

上記の低速RFインターロックおよびクライストロン用インターロックが発報した場合、その原因となった信号はラダープログラム上でラッチされ、異常状態が解除されてもインターロック出力は継続される。画面上のインターロックリセットボタンが押されリセットされる事により初めてインターロック出力が解除される。

Figure 4 はアナログデータを表示する表示画面である。Figure 4 の表示画面も CS-studio で作成されている。RF 加速空洞用イオンポンプ電流は電圧信号として入力され、連続した(CW)RF 加速空洞反射パワーはパワーメーターで測定した反射パワーの大きさを電圧アナログ信号として PLC に入力している。これらのアナログ信号はインターロックしきい値と比較して、しきい値を超えた場合にインターロックを発報する。なお、RF 加速空洞反射パワーによるインターロックに関しては、瞬間的な反射パワーによる早いインターロックと、CW 反射パワーによるインターロックと 2 重にインターロックをかけている。瞬間的な反射パワーによる早いインターロックシステムが別回路で独立に存在していて、本低速 RF インターロックシステムは CW 反射パワーによるインターロック処理のみを行っている。アナログ信号によるインターロックのしきい値は、Fig. 4 の表示画面上で変更可能となっている。インターロックしきい値を変更した場合は、コンピュータ画面から Fig. 2 の EPICS プログラムのデータベースに一旦書き込まれ、EPICS プログラムにより EPICS アクセスメモリー領域に書き込まれる。その後ラダープログラムにより、インターロックしきい値が EPICS アクセスメモリー領域からラダープログラム実行メモリ領域に書き込まれる事により、インターロック動作のしきい値として使用される。

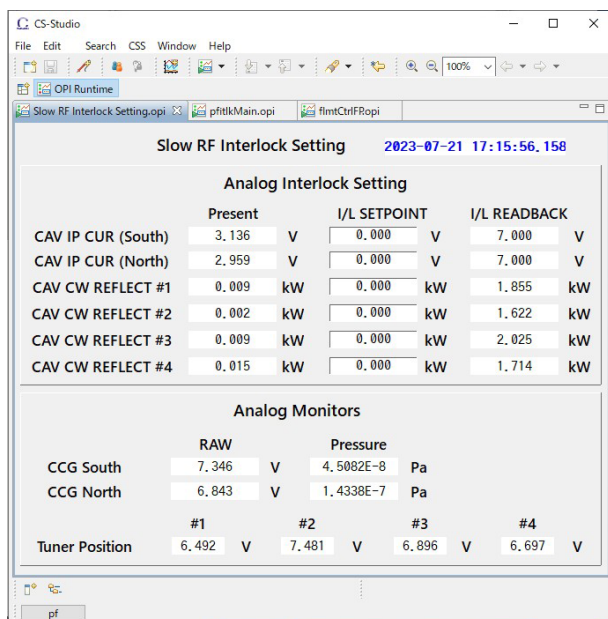


Figure 4: Analog data display.

5. 今後の展望

本インターロックシステムは 2022 年夏に構築し、アナログ LLRF システム用インターロックシステムとして約 1 年間使用し、順調に動作した。2023 年 8 月現在、LLRF システムをアナログ式から新型のデジタル LLRF へ変更作業中であり、そのテスト段階でもデジタル LLRF 用として順調に動作した。また、その後新しいインターロック信号を追加したが、これに関しても問題は発生していない。表示画面に関しては、高速 RF インターロックに関しても表示を統合して行く予定である。

6. 結論

数十年間使用して老朽化した低速 RF インターロックシステムを、PLC を使用した新型のシステムに更新した。新型システムにおいてはインターロック動作を担当するラダープログラム用 CPU と EPICS プログラム用 CPU を併存させるシステムとした。また、ラダープログラム用 CPU 内で、ラダープログラム実行用メモリ領域と、EPICS プログラムアクセス用メモリ領域を分けることにより、インターロック動作が確実に実行されるようなシステムとした。これにより EPICS プログラムに問題が発生した場合でも安定してインターロックプログラムが動作するシステムを構築した。このシステムでは、インターロックに求められる高い信頼性と、外部からの状態監視および設定変更という利便性を両立できるため、同様のシステムを構築する場合に参考になるであろう。

参考文献

- [1] 坂中章悟, “フォトン・ファクトリー光源加速器の歩み”, KEK 創立 50 周年記念誌, 2021 年, 大学共同利用機関法人 高エネルギー加速器研究機構, pp. 40-50, <https://www2.kek.jp/kek50/ja/booklet/>.
- [2] Photon Factory 年報 2021, KEK, <https://www2.kek.jp/imss/pf/science/publ/pfnenpo/2021/>.
- [3] D. Naito *et al.*, “Progress report on the upgrade of the low-level RF system at KEK-PF ring”, Proc. 20th Annual Meeting of Particle Accelerator Society of Japan (PASJ2023), Funabashi, Japan, Aug.-Sep., 2023, THOB6.
- [4] Experimental Physics and Industrial Control System, <https://www.aps.anl.gov/epics/>.
- [5] 横河電機株式会社 プログラマブルコントローラ (FA-M3), <https://www.yokogawa.co.jp/solutions/products-and-services/control/control-devices/programmable-logic-controller/>.
- [6] Control System Studio, <https://controlsystemstudio.org/>.