PASJ2023 TUP09

KEK-PF における PLC を使用した RF 低速インターロックシステムの開発

IMPLEMENTATION OF RF SLOW-SPEED INTERLOCK SYSTEM USING PLC AT KEK-PF

高橋毅^{#, A)}, 路川徹也^{B)}, 内藤大地^{A)}, 坂中章悟^{A)}, 山本尚人^{A)} Takeshi Takahashi^{#, A)}, Tetsuya Michikawa^{B)}, Daichi Naito^{A)}, Shogo Sakanaka^{A)}, Naoto Yamamoto^{A)} ^{A)} High Energy Accelerator Research Organization (KEK) ^{B)} East Japan Institute of Technology Co., Ltd.

Abstract

Low level RF system (LLRF) for 4 RF stations has been operating in the PF storage ring at KEK since 1982. We are upgrading the LLRF to digital LLRF system on the summer of 2023. As part of this upgrade, we developed a new slow-speed RF interlock system in the last year. The new slow-speed interlock system was built using programmable logic controller (PLC). To achieve both the high reliability required of an interlock system and the convenience of being accessible from a host system, the PLC system is equipped with two independent CPUs: one CPU executes the ladder program, and the other executes the EPICS program. The memory area of the ladder control CPU is separated into a ladder program area and an EPICS access area to ensure reliability when executing the ladder program. The developed system have been operating stably in the PF storage ring over the past year.

1. はじめに

KEK の Photon Factory 電子蓄積リング (PF リング) は 1982 年に運転開始し、アップグレードしながら現在まで 運転されている[1, 2]。PFリングに設置された RF 加速空 洞用ローレベル RF(LLRF)システムは、PF リング建設時 に構築されたシステムを、改良しつつ現在まで使用して きた。この LLRF システムの一部を構成する低速の RFイ ンターロックシステムやクライストロン用のインターロックシ ステムも、リレー素子や LED 素子を使用した回路モ ジュールによるインターロックシステムを使用してきた。こ こで、低速 RF インターロックとは、例えば真空異常や温 度異常により RF 出力を OFF するインターロックで、空洞 反射 RF 等により高速に RF を OFF する高速 RF インター ロック以外のものである。インターロック状態は CAMAC インターフェースを用いて信号をコンピュータに取り込み、 状態表示していた。これらの古い LLRF システムや低速 RF インターロックシステムは構成するモジュールが老朽 化し、また故障した場合の予備モジュールの製作も困難 になりつつあり、新型への更新を検討していた。

2023 年度に LLRF システムを新型のデジタル LLRF システム[3]に更新する予定となり、これに対応するため、 先行して低速 RF インターロックシステムを更新すること にした。低速 RF インターロックシステムは、RF 加速空洞 やクライストロン等を保護するため確実に動作する事が 求められる。このため、新しく低速 RF インターロックシス テムを構築する上での基本方針を次のように決定した:

- プログラマブルロジックコントローラ(PLC)を使用したインターロックシステムとする。
- 確実なインターロック動作を担保するためインター ロック動作は PLC ラダープログラム処理とする。
- インターロック動作表示は PLC 上で動作する EPICS[4]プログラムにより信号を取り込み、コン

ピュータ(PC)上に状態表示出来るようにする。

一部アナログ信号によりインターロック動作させる場合には、そのしきい値を PC 画面上から変更出来るようにする。

以上のような基本方針の下にシステムを構築した。

2. インターロックシステムの基本構成

PLC ラダープログラムを実行出来るとともに EPICS プ ログラムも実行出来ることから、横河電機株式会社製プ ログラマブルコントローラ(FA-M3)シリーズ[5] を採用し た。また、PLC ラダープログラム実行用の CPU モジュー ルと EPICS プログラム実行用 CPU モジュールを併用す る構成とした。インターロック動作は確実に行われなけれ ばならないため、ラダープログラム実行用 CPU モジュー ルにてインターロック動作プログラムを実行させる。PF リ ングは周長187mあり、RF加速セクションが対角線上に 二箇所設置され、それぞれに 2 台の RF 加速空洞が設 置されている。これらの RF 加速空洞の直下には真空計、 イオンポンプ電源や RF 加速空洞用チューナ制御機器 が設置されていて、これらの機器より各種信号を PLC モ ジュールに取り込む必要がある。LLRF システムは南側 RF 加速セクションに近いリング中央部に設置されている ため、入出力信号の発生箇所がリング内のほぼ三箇所 に分散している。このため、LLRF システム付近に CPU モジュールと入出力機器を有する親機を設置し、二箇所 の RF 加速セクションに近い位置にそれぞれ子機を設置 する構成とし、信号配線の簡便化を計った。親機と2台 の子機間は光ファイバーケーブルにて接続されている。 子機上に設置された信号入力モジュールより入力された データは親機へ送られ、親機に設置された入出力モ ジュールにて入力されたデータとともに親機内の CPU モ ジュールで一括処理される。Figure 1 は親機の PLC 機 器の写真を示す。Figure 1 に示すように、親機には PLC ラダープログラム実行用 CPU、EPICS プログラム実行用 CPU、各種信号入機器、及びクライストロン用高圧電源

[#] takeshi.takahashi@kek.jp

PASJ2023 TUP09

へのインターロック出力機器、LLRF コントロール部への RF インターロック出力機器が設置されている。



Figure 1: Photograph of the central PLC device.

3. 信号処理の概要

Figure 2 は、インターロック信号処理プログラムの概 要を示す模式図である。Figure 2 に示すように、ラダープ ログラム実行用の CPU 内において、ラダープログラムを 実行するメモリ領域と、EPICS がアクセスするメモリ領域と が分離されている。子機や親機に設置された各 PLC 入 カモジュールより入力された信号情報は、ラダープログラ ム実行メモリ領域に格納される。このラダープログラム実 行メモリ領域のデータによりインターロック判定処理され、 結果が PLC 出力モジュールより出力される。すなわちイ ンターロック動作はすべてラダープログラムで実行処理 される。また、ラダープログラム実行メモリ領域のデータ



Figure 2: Schematic diagram showing an overview of interlock signal processing.

は EPICS アクセスメモリ領域にコピーされ、EPICS プログ ラムはこの EPICS アクセスメモリ領域にアクセスしてデー タの取り出しや書き込みを行う。このようにインターロック 判定を行うラダープログラムがアクセスするメモリー領域 と、EPICS プログラムがアクセスするメモリー領域とを分け ることにより、信頼性の高いインターロック処理が行われ るよう工夫されている。ラダープログラム実行メモリ領域と EPICS アクセスメモリ領域との間のデーターコピーは、ラ ダープログラムの一部として実行されており、従ってこの データコピーは高速に行われる。これに対して EPICS プ ログラムのデータ更新はほとんど 1 秒ごとである。イン ターロック状態はコンピュータ上で実行される表示プログ ラムが EPICS データベースにアクセスして、そのデータ を表示している。すなわち、状態表示の更新はほぼ1秒 ごとであるが、インターロック処理そのものはラダープログ ラムの実行速度で高速に実行処理されている。

4. インターロック表示画面

Figure 3 はインターロック状態を示す表示画面である。



Figure 3: Interlock status display.

この表示画面は CS-Studio[6] によって作成されてい る。PF リングにおいては 4 台の RF 加速空洞を 4 台のク ライストロンにて独立に運転しているため LLRF も 4 系統 独立に制御する必要がある。このため低速 RF インター ロックも 4 系統が独立して処理され、インターロック出力 信号も各系統ごとに独立して出力される。Figure 3 (左半 分)に示す通り、空洞の真空異常 (コールドカソードゲー ジによる圧力上昇検出 (しきい値: 10^4 Pa)、空洞のイオ ンポンプ電流の上昇、イオンポンプ電圧の低下)、後述 する空洞からの CW 反射 RF の検出 (しきい値: 20 kW)、 サーキュレータに付属している 80 kW ダミーロードの温 度上昇 (温度スイッチ、しきい値: 60 °C)、チューナー系 の異常 (オーバーヒート、機械的リミット動作)が検出され た場合には、該当する RF ステーションの RF 出力を遮断 し、空洞や大電力 RF 機器を保護する。

またクライストロンを保護するためのインターロックに関 しても同様に4系統が独立してインターロック出力される。 Figure 3(右半分)に示す通り、クライストロンの真空異常 (イオンポンプ電流の上昇、しきい値:4.5 μA)、クライスト ロンのボディ冷却水温の入・出の温度差の上昇(しきい 値:3 ℃)、クライストロン系(各種ファン、集束コイル電源、 ヒーター電源)の準備中、を検出した場合には、該当す る RF ステーションの高電圧を遮断し、クライストロンを保 護する。なお、空洞やクライストロン等の大電力機器に流 す冷却水については、各機器のフロースイッチの接点を 入力する冷却水インターロック盤が別途使われており、 冷却水停止時には該当するRFステーションの高圧電源 を遮断する。

上記の低速 RF インターロックおよびクライストロン用イ ンターロックが発報した場合、その原因となった信号はラ ダープログラム上でラッチされ、異常状態が解除されても インターロック出力は継続される。画面上のインターロッ クリセットボタンが押されリセットされる事により初めてイン ターロック出力が解除される。

Figure 4 はアナログデータを表示する表示画面である。 Figure 4 の表示画面も CS-studio で作成されている。RF 加速空洞用イオンポンプ電流は電圧信号として入力さ れ、連続した(CW)RF 加速空洞反射パワーはパワーメ ターで測定した反射パワーの大きさを電圧アナログ信号 として PLC に入力している。これらのアナログ信号はイン ターロックしきい値と比較して、しきい値を超えた場合に インターロックを発報する。なお、RF 加速空洞反射パ ワーによるインターロックに関しては、瞬間的な反射パ ワーによる早いインターロックと、CW 反射パワーによるイ ンターロックと2重にインターロックをかけている。瞬間的 な反射パワーによる早いインターロックシステムが別回路 で独立に存在していて、本低速 RF インターロックシステ ムはCW反射パワーによるインターロック処理のみを行っ ている。アナログ信号によるインターロックのしきい値は、 Fig. 4 の表示画面上で変更可能となっている。インター ロックしきい値を変更した場合は、コンピュータ画面から Fig. 2の EPICS プログラムのデータベースに一旦書き込 まれ、EPICS プログラムにより EPICS アクセスメモリー領 域に書き込まれる。その後ラダープログラムにより、イン ターロックしきい値が EPICS アクセスメモリー領域からラ ダープログラム実行メモリ領域に書き込まれる事により、 インターロック動作のしきい値として使用される。



Figure 4: Analog data display.

5. 今後の展望

本インターロックシステムは 2022 年夏に構築し、アナ ログ LLRF システム用インターロックシステムとして約1年 間使用し、順調に動作した。2023 年 8 月現在、LLRF シ ステムをアナログ式から新型のデジタル LLRF へ変更作 業中であり、そのテスト段階でもデジタル LLRF 用として 順調に動作した。また、その後新しいインターロック信号 を追加したが、これに関しても問題は発生していない。 表示画面に関しては、高速 RF インターロックに関しても 表示を統合して行く予定である。

6. 結論

数十年間使用して老朽化した低速 RF インターロック システムを、PLC を使用した新型のシステムに更新した。 新型システムにおいてはインターロック動作を担当するラ ダープログラム用 CPU と EPICS プログラム用 CPU を併 存させるシステムとした。また、ラダープログラム用 CPU 内で、ラダープログラム実行用メモリ領域と、EPICS プロ グラムアクセス用メモリ領域を分けることにより、インター ロック動作が確実に実行されるようなシステムとした。これ により EPICS プログラムに問題が発生した場合でも安定 してインターロックプログラムが動作するシステムを構築 した。このシステムでは、インターロックに求められる高い 信頼性と、外部からの状態監視および設定変更という利 便性を両立できるため、同様のシステムを構築する場合 に参考になるであろう。

参考文献

- [1] 坂中章悟, "フォトン・ファクトリー光源加速器の歩み", KEK 創立50周年記念誌, 2021年,大学共同利用機関法人 高 エネルギー加速器研究機構, pp. 40-50, https://www2.kek.jp/kek50/ja/booklet/.
- [2] Photon Factory 年報 2021, KEK, https://www2.kek.jp/imss/pf/science/publ/pfnenpo/ 2021/.
- [3] D. Naito *et al.*, "Progress report on the upgrade of the lowlevel RF system at KEK-PF ring", Proc. 20th Annual Meeting of Particle Accelerator Society of Japan (PASJ2023), Funabashi, Japan, Aug.-Sep., 2023, THOB6.
- [4] Experimental Physics and Industrial Control System, https://www.aps.anl.gov/epics/.
- [5] 横河電機株式会社 プログラマブルコントローラ(FA-M3), https://www.yokogawa.co.jp/solutions/ products-and-services/control/control-devices/ programmable-logic-controller/.
- [6] Control System Studio, https://controlsystemstudio.org/.