

KEK-PF 高速パルスキッカーのための試作 SiC-MOSFET スイッチングモジュールの性能評価

DEVELOPMENT OF A FAST PULSED POWER SUPPLY USING SiC-MOSFETS FOR KEK-PF

篠原智史^{#,A)}, 満田史織^{A)}, 内藤大地^{A)}, 奥田貴史^{B)}, 中村孝^{B)}

Satoshi Shinohara^{#,A)}, Chikaori Mitsuda^{A)}, Daichi Naito^{A)}

Takafumi Okuda^{B)}, Takashi Nakamura^{B)}

^{A)} High energy accelerator research organization (KEK)

^{B)} NexFi Technology

Abstract

We are developing a pulsed power supply using Silicon Carbide (SiC) MOSFETs for a fast kicker system in KEK-PF. In the kicker system, the pulsed power supply is required to generate a high-precision short pulse with high power and high repetition rate. To achieve the requirements, we have newly started the development of a solid-state switching module using SiC-MOSFETs. We developed a prototype power supply with a 14 kV switching module consisting of 16 SiC-MOSFETs in series. The developed power supply could deliver half-sine pulses with stable operation in which the variation satisfied the required values. In this paper, we report the performance of the prototype pulsed power supply using SiC-MOSFETs.

1. はじめに

放射光源加速器 KEK-PF 2.5 GeV リングの運転モードの一つにハイブリッド運転と呼ぶマルチバンチトレインと時間的に孤立させた大電荷シングルバンチ（孤立バンチ）を同時に蓄積する運転モードがあり、そのモードでは孤立バンチの放射光もユーザーへと提供している。孤立バンチ放射光は時間分解実験など瞬間的に大電荷を必要とする実験で使用されるが、KEK-PF リングの周長が 187 m のため、620 ns 周期 (1.6 MHz) と比較的短い周期で放射光が提供され続けてしまい長い応答時間測定には制約がかかる。そこで KEK-PF ではカムシャフトバンチシステム [1,2] により孤立バンチ放射光をユーザーへオンデマンドに提供できるシステムの導入を検討している。このシステムでは適切なチューンの元でベータトロン振動の励起と振動のキャンセルを一つのキッカーで行う。振動を与えた時にのみ放射光軸とビームラインがあうようにしておくことで特定の孤立バンチ放射光を提供する (Fig. 1)。システムの実現には孤立バンチを数周回ごとに制御する高速キッカーとそれを駆動するパルス電源が必要である。ただし、KEK-PF リングの周長が短いことや孤立バンチ前後の空きバケット時間間隔、必要な蹴り角を考慮すると、大電流短パルスを高繰り返しで出力する電源が必要である。そこで KEK-PF では低損失で高速、長寿命な SiC-MOSFET 半導体スイッチに注目し、加速器で一般に使用されてきたサイラトロンや IGBT 半導体スイッチにかわるパルス電源の開発を進めている。

本稿では、まず高速パルスキッカーのために必要なパルス電源の要求値やパルス生成方法について述

べる。また開発の第一段階として試作した SiC-MOSFET 半導体パルス電源の印加電圧特性や出力安定性等の評価結果について報告する。

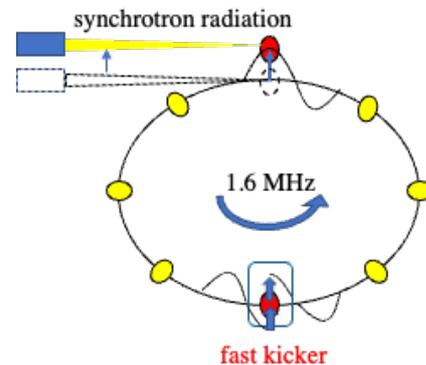


Figure 1: Schematic view of camshaft bunch system.

2. 半導体パルス電源開発概要

2.1 パルス電源開発要求

本研究の目的は、KEK-PF における高速キッカーシステムのためのパルス電源開発である。Table 1 にパルス電源への開発要求値を示す。ハイブリッド運転時のフィリングパターンは Fig. 2 のようであり、マルチバンチと孤立大電荷バンチは前後 90 バケット、時間にして ± 180 ns の間隔を空けて運用している。孤立バンチにのみ蹴り角を与えるにはパルス電源の出力幅はこの空き間隔よりも狭い必要があるため、開発要求値は 100 ns 幅としている。パルスの繰り返し

[#]sshino@post.kek.jp

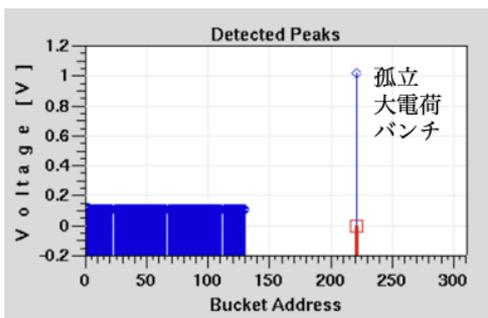


Figure 2: Filling pattern of the hybrid mode in KEK-PF.

し数は2周毎(800 kHz)に制御する必要があるため、開発要求値は1 MHzである。キッカーには渦電流の効果を抑えた新開発の空芯型コイル [3, 4] を使用する予定で、そのコイルに必要な電流値は500 ($\pm 1\%$) A である。また出力波形は次節で述べるが正弦半波となり、時間依存のある形となる。そのため出力タイミングのばらつき(タイミングジッター)が大きいとビームを蹴るタイミングで電流値がばらついてしまう。必要な電流安定度(1%)を得るためにはタイミングジッターが300 ps を切る必要がある。定格電圧は、キッカーインダクタンス値とピーク電流、パルス幅から計算でき、15 kV である。パルス電源の設置場所はリング近傍である必要がある。これは負荷-パルス電源間の距離が長くなるにつれインピーダンスが増大し負荷へ効率良く短パルスを出力できなくなるためである。このリング近傍に設置という要求のため放射線耐性や省スペースといったことが要求される。

Table 1: Requirements of the Pulse Power Supply

Pulse width	100 ns (<math>< 360</math> ns)
Repetition cycle	1 MHz (> 800 kHz)
Peak current	500 A (<math>< \pm 1\%</math>)
Timing jitter	<math>< 300</math> ps
Operation voltage	15 kV

2.2 パルス電流生成方法

今回開発するパルス電源の回路方式はインダクタンス負荷と共振コンデンサを用いた回路を採用している。簡略化した回路図を Fig. 3 に示し、その動作について説明する。まずスイッチ (SW) オフ状態では高圧 DC 電源から抵抗 (充電抵抗) を介し時定数 RC でコンデンサへ充電され定常状態へと至る。その後、スイッチがオン状態になるとコンデンサに蓄積された電荷がインダクタンス負荷とダイオード、スイッチを有する回路部へ流入し始める。この時、インダクタンス負荷 L とコンデンサ C で LC 共振を起こし、その波形は理想的には(回路の寄生成分を無視すると)正弦波となり、

$$I(t) = I_{\text{peak}} \sin(\omega t) \quad (1)$$

周期 $f (= 1/\omega)$ は、

$$f = 2\pi\sqrt{LC} \quad (2)$$

である。振幅はスイッチオフ状態でコンデンサに蓄えられたエネルギーがインダクタンス負荷へ流入するので、

$$\frac{1}{2}CV_{\text{DC}}^2 = \frac{1}{2}LI_{\text{peak}} \quad (3)$$

であり、ここから

$$I_{\text{peak}} = \sqrt{\frac{C}{L}}V_{\text{DC}} \quad (4)$$

である。LC 共振で生成した正弦波はダイオードによって整流され、ダイオード順方向に流れる正弦半波となる。適切なタイミングでスイッチを再びオフ状態にすることで、再びコンデンサへの充電が始まり、定常状態へと至る。このスイッチング動作を繰り返すことで、ダイオード順方向に流れる正弦半波パルス電流を繰り返し生成する。そのパルス幅 w はダイオードにより整流するため Eq. 2 で示した周期の半分であり、

$$w = \pi\sqrt{LC} \quad (5)$$

である。出力波形と Eq. (4), (5) の関係を Fig. 4 に示す。以上は理想的な場合であるが、現実には回路は浮遊成分をもつ。インダクタンス成分はキッカーのインダクタンス値 (L_{kicker}) の他に回路の寄生成分 (L_{stray}) が存在するため、

$$L = L_{\text{kicker}} + L_{\text{stray}} \quad (6)$$

である。Equation (4), (5) から分かる通り、大電流かつ短い幅のパルス電流を効率よく出力するには L は小さい必要がある。そのため、回路の寄生インダクタンス成分を極力抑えるような回路設計となっていなければならない。

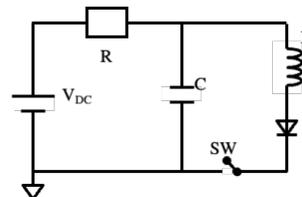


Figure 3: Schematic view of the circuit for generating a pulse.

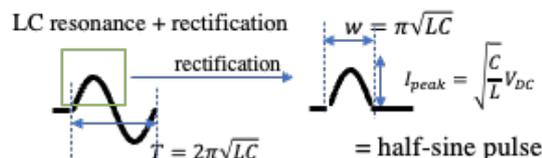


Figure 4: Generation of half-sine pulsed current with LC resonance circuit and rectifier.

2.3 半導体パルス電源開発に向けて

パルス電源開発にあたり、まずは電源構成要素の耐圧確保を目指している。スイッチ部に用いる SiC-MOSFET 半導体は高繰り返しスイッチングが可能である一方、素子あたりの耐圧は 1kV 程度であり 1 素子では目標の耐圧を達成できない。そのため高耐圧スイッチの開発には素子の多直列接続の下でのスイッチング技術を確認することが必要である。スイッチ部以外の回路要素（付帯回路）でも耐圧を得ようとする回路構成要素が大きくなっていくが、その場合回路寄生インダクタンスが増加してしまう。回路寄生インダクタンスを抑えつつ耐圧を得る技術の確立が必要である。

我々のグループでは、まずは Fig. 3 に示したような回路構成からなるパルス電源を SiC-MOSFET スwitchングモジュールを用いて組み上げ、耐圧化技術獲得に向けた研究を進めた。次章で組み上げたパルス電源とその性能について述べる。

3. 試作機の開発と性能評価試験

パルス電源の開発においてはスイッチ部をネクストファイ・テクノロジー社 [5]が行い、その他付帯回路の開発とパルス電源の構築を KEK が行う。以下で試作したパルス電源とその性能評価について述べる。

3.1 試作機製作

開発した試作パルス電源の試験時様子を Fig. 5 に示す。まず全体構成について述べると、回路構成は Fig. 3 を踏襲しており、スイッチオフ時に高圧 DC 電源から抵抗を介してコンデンサへ充電、スイッチオン時の LC 共振波形をダイオードによって整流する。Figure. 5 の Test circuit には充放電用のコンデンサと整流用ダイオードが搭載されており、DC 電源、抵抗、負荷 (dummy load)、スイッチングモジュール (SWM) と接続することでパルス電源としている。コンデンサ、ダイオードなど各構成要素はモジュール化しており、デバッグや将来的な定格のアップグレードを容易にしている。試作パルス電源の定格は Fig. 6 に示す領域であり、定格電圧は 8 kV、繰り返し数は 200 kHz である。定格は次に述べる各構成要素ごとの定格により領域が決まる。

各構成要素について、使用スイッチングモジュールは 1.2kV 耐圧の SiC-MOSFET を 16 直列に接続（並列数は 1）し、一つのモジュールとしている。MOSFET のオン/オフに必要なゲート信号は一度光信号に変換することで絶縁しており、またそれに必要な電力も無線電力伝送によって絶縁しつつ供給している。モジュールの大きさは $12 \times 12 \times 14 \text{ cm}^3$ と小型ながらモジュールとしての耐圧は 14 kV と高耐圧であり、200 kHz でのスイッチングが可能なものとなっている。付帯回路部については、整流用ダイオードは逆回復時間が 15 ns と小さいものを選定した (DSEP15-12CR)。これは開発の電源では電流とその dI/dt が大きく、逆回復時間が長いものを使用してしまうと整流の機能を果たさなくなるためである。使用ダイオード 1 素子の耐圧は 1.2 kV であり、こ

のダイオードを 10 直列 3 並列で使用することにより全体で 12 kV 耐圧とした。充放電用コンデンサは容量が 4 nF、4 kV 耐圧のフィルムコンデンサを 2 直列とし全体で 2 nF、8 kV 耐圧としている。コンデンサの容量はパルス幅が開発最低目標である 360 ns を切るよう Eq. (5) から定めた。試作パルス電源の定格電圧 8 kV はこのコンデンサで決まっている。インダクタンス負荷 (dummy load) にはキッカー負荷 (1 μH) を模擬した巻線コイルを接続した。銅線による手巻きコイルであり、インダクタンス値は実測で 1.1 μH であった。

回路設計では定格以外にも浮遊インダクタンスを低減させるよう考慮した。コンデンサ基板やダイオード基板はリターン電流を基板裏面に通す工夫がしてあり、寄生インダクタンスを減らすようにしている。その結果それぞれのインダクタンス成分は数十 nH と小さく抑えることができている。モジュール間の接続は高圧シリコンケーブル (20 kV 耐圧) によって行った。シリコンケーブルは柔軟なため捻線構造にするのが容易であり、リターン経路を捻線にすることで寄生インダクタンスの低減が可能である。

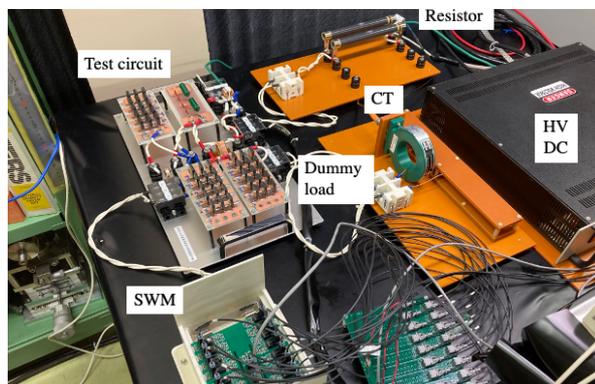


Figure 5: Test system of the prototype SiC-MOSFET switching module with LC resonance circuit and rectifier.

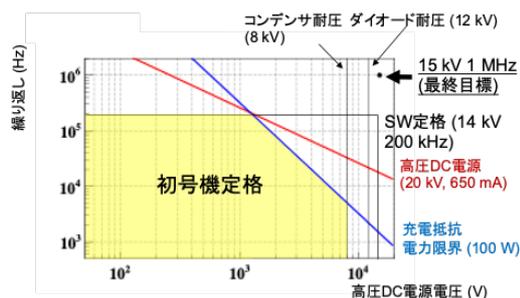


Figure 6: Rated voltage and repetition rate of the prototype system.

3.2 電圧印加試験セットアップ

パルス電源出力電流の電圧印加特性を調べるため評価システムを構築した。出力が Eq. (4) で示したような印加電圧に比例した関係で理解できるか調査するためである。本節ではまず構築した評価システム

セットアップの概要を述べ、評価結果については次節より述べる。

Figure 7 に試験セットアップの概要図を示す。付帯回路とスイッチングモジュール、インダクタンス負荷はそれぞれ高圧シリコンケーブルで接続している。パルス電流波形は CT (ピアソン社製, MODEL 110) を用いて測定している。解析の際に使用したオシロスコープはテクトロニクス社製の MSO64 で、80 ps サンプリング時に 12 ビットの垂直分解能で測定が可能である。スイッチングモジュールのオン/オフに必要なゲート信号はパルスジェネレータ (DG645) で供給している。またゲート信号と同期した信号を DG645 の別チャンネルからオシロスコープへ入力し測定時のトリガーとした。DG645 のタイミングジッターは 25 ps 未満と小さく、パルス電源出力波形のタイミングジッター測定へ与える影響を抑えている。

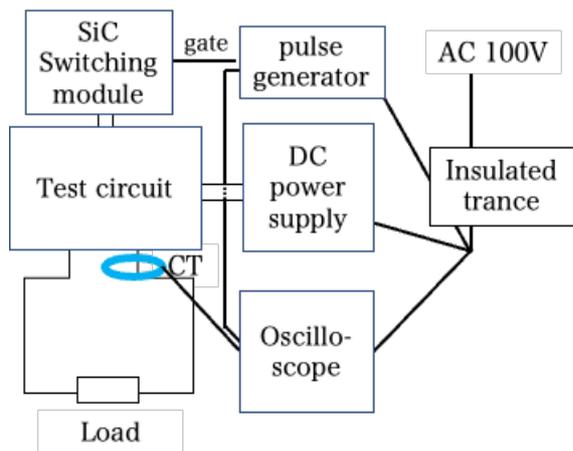


Figure 7: Schematic view of the test system of the prototype SiC-MOSFET switching module with LC resonance circuit and rectifier.

3.3 パルス電流出力と電圧印加特性

Figure 8 は定格電圧である 8 kV を印加したときの出力波形である。8 kV 印加時でピーク電流は 217.5 A、パルス幅 270 ns の正弦半波出力に成功した。立ち上がり 10%-90%の時間は 84.6 ns であり、大電流であっても問題なく立ち上がっている。Figure 9 はピーク電流値の印加電圧特性を示している。各点は印加電圧ごとに 100 波形取得し、得られたピーク電流分布の平均値をプロットしている。電流分布の幅 (電流安定度) もエラーとしてプロットしているが、現状では非常に小さく抑えられている。この電流安定度については 3.3 節で別途述べる。結果、Fig. 9 に示すようにピーク電流値は 217.5 A まで電圧に比例しており、想定通りの出力を得た。一方で課題としては、パルス幅が予想より長く、Eq. (4), (5) の関係から回路の浮遊インダクタンスが大きいと思われる点である。パルス幅から計算した結果浮遊インダクタンス値を 2 μH と見積もった。これはキッカーの想定インダクタンス 1 μH よりも 2 倍大きい

ため改善が必要である。付帯回路を分解して調査した結果、ケーブルのインダクタンスが主であった。そこで、ケーブル長を極力短くし、並列数を増やすと浮遊インダクタンスを 0.5 μH 程度まで軽減できたため、今後その手法を導入し改善していく予定である。また、別の課題として Fig. 8 から分かる通り、正弦半波後段にリングングノイズが観測された。これはダイオードの逆回復電流が SiC-MOSFET など回路の寄生容量と模擬負荷を含むインダクタンス成分と共振を起こし発生しているものと思われる。スイッチオフ状態において dV/dt の変化を引き起こすノイズはスイッチの誤点弧など故障の要因となり得るため、ノイズ発生抑制や収束を早めるなどの対策が今後必要である。

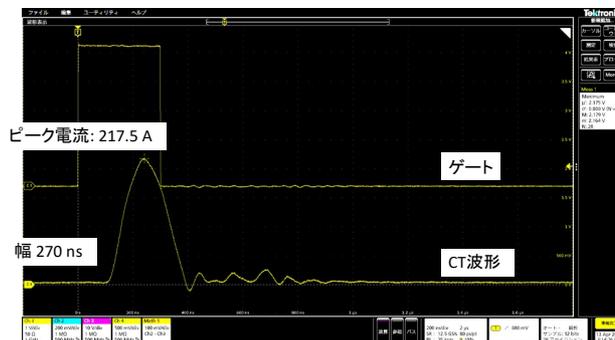


Figure 8: Waveform of the load current measured with the CT and the gate signal from a pulse generator. In the measurement, the supplied voltage is 8 kV, and the switching repetition cycle is 5 Hz.

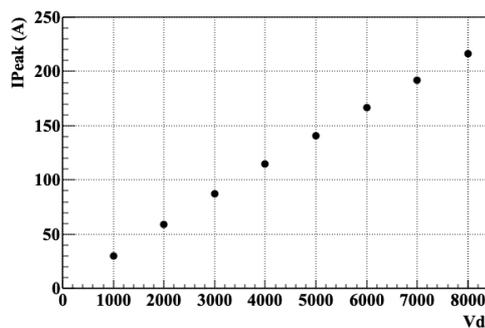
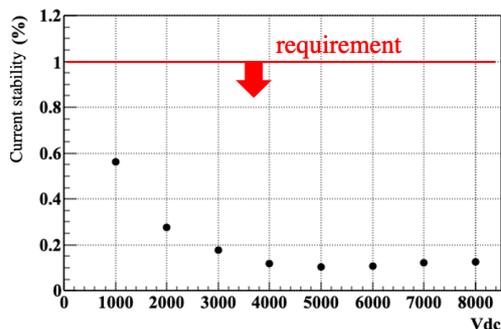


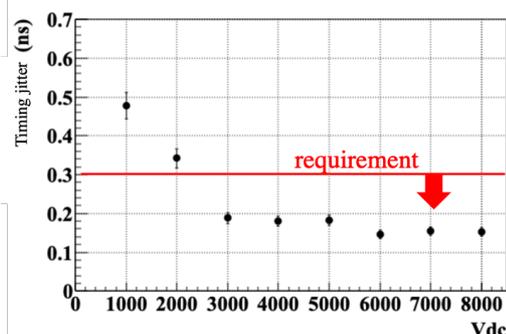
Figure 9: Peak current as a function of supplied voltage. The switching repetition cycle was 5 Hz.

3.4 パルス電流出力安定性

Figure 10 (a)に印加電圧ごとの出力安定性を示す。安定度の定義は印加電圧ごとに取得した 100 波形のピーク電流値分布の分散 (σ_{meas}) と Fig. 9 で求めたピーク電流の平均値 (I_{peak}) から、 $\sigma_{\text{meas}} / I_{\text{peak}}$ によって求めている。Figure 10 (a)に示す通り、波高安定度は開発目標の安定度 1% を大きく上回っていることが分かり、8 kV 印加時では安定度は 0.13% である。この測定で得られた安定性については使用オシ



(a) Peak current stability



(b) Timing jitter

Figure 10: Peak current stability (a) and timing jitter (b) as a function of supplied voltage. The switching repetition cycle was 5 Hz in each measurement. The red line represents the requirement of the pulsed power supply.

ロスコープのノイズによって制限されていることが分かっている。測定時におけるオシロスコープ設定でのノイズレベル (σ_{noise}) は取得波形のペDESTAL 分布を見ることで求めることができ、 σ_{noise} は 0.34 A である。Figure 10 (a)の測定結果はこのノイズが支配的であるため、ピーク電流の増加に伴い安定性 ($\sigma_{\text{meas}} / I_{\text{peak}}$) が向上しているように見えている。測定器に由来しない実際の出力安定性 (σ_{real}) は $\sigma_{\text{meas}} = \sigma_{\text{real}} \oplus \sigma_{\text{noise}}$ であるため、測定結果から得られた安定性 (0.13%) よりも低いことが見込まれる。真の値を求めるにはより高分解能な測定器が必要だが、いずれにせよ開発要求 1% を満たす安定性を持った電源構築に成功している。

Figure 10 (b)は出力波形のタイミングジッターを示している。タイミングジッターの定義はピーク電流の 50%点を最初に越えるオシロスコープのサンプリングポイントを求め、その分布の分散から求めている。出力波形の dI/dt が大きくなるにつれオシロスコープのノイズの影響が減少していきジッターは見かけ上改善してく。8 kV 印加時には 152 ps と開発目標 300 ps を切るタイミングジッターを達成した。

以上で述べた通り、電圧や繰り返し定格は未だ開発目標以下ではあるが、大電流短パルスで高安定出力なパルス電源の構築に成功している。

4. まとめと今後

KEK-PF では孤立バンチを制御する高速パルスキッカーシステムのための半導体高速パルス電源の開発を進めており、開発要求はピーク 500 A ($< \pm 1\%$)、ジッター 300 ps 以下、15 kV 耐圧、1 MHz 繰り返し、100 ns パルス幅と極めて高い電源が求められている。我々のグループでは SiC-MOSFET 半導体を用いた LC 共振方式のパルス電源開発を行っており、本稿ではパルス電源の試作一号機の開発と性能評価について報告した。試作したパルス電源は定格目標にまだ達してはいないが、極めて高い安定度を持った正弦半波のパルス出力に成功した。一方で回路浮遊インダクタンスを減らす、またリングノイズを解消するといった課題も見いだした。今後は、付帯回路がモジュール化してあることの特徴を

生かし高安定性を維持しつつ付帯回路の定格アップグレードを目指す。また配線方法を工夫することで浮遊インダクタンスを低減、回路方式もリングノイズ抑制のための RC 回路を追加することで課題を解決する。高繰り返しに伴う発熱の問題についても考察を進めている。例えば充放電コンデンサには RMS 電流の裕度が非常に高い真空コンデンサの導入を検討している。また充放電に伴う抵抗での発熱は共振回路にエネルギー回生経路を導入することで軽減できないか検討している。加速器リング内にパルス電源を設置し、放射線やビームノイズの影響を調査する試験も行う予定である。

試作機で得た知見をもとに、2022 年度にはピーク 500 A、100 kHz 繰り返し、150 ns パルス幅出力が可能な電源の構築を進めており、2024 年度末までに SiC-MOSFET スイッチングモジュールを用いた開発目標を満たすパルス電源の構築を目指す。

謝辞

本研究は JST A-Step 産学共同本格型 (体系的課題番号: JPMJTR201A) に基づき行った研究である。

参考文献

- [1] C.Sun *et al.*, “Pseudo-Single-Bunch with Adjustable Frequency: A New Operation Mode for Synchrotron Light Sources”, *Phys. Rev. Lett.* **109**, 264801 (2012).
- [2] C.Sun *et al.*, “Characterization of pseudosingle bunch kick-and-cancel operational mode”, *Phys. Rev. ST Accel. Beams* **18**, 120702 (2015).
- [3] C. Mitsuda *et al.*, “Development of the Ceramic Chamber Integrated Pulsed Magnet Fitting for a Narrow Gap”, in Proc. 6th Int. Particle Accelerator Conf. (IPAC’15), Richmond, VA, USA, May 2015, pp. 2879-2882; doi:10.18429/JACoW-IPAC2015-WEPMA049
- [4] Y. Lu *et al.*, “New development of Ceramics Chamber with integrated Pulsed Magnet for pulsed multipole injection at KEK-PF”, Proceedings of the 18th Annual Meeting of Particle Accelerator Society of Japan, August 9 - 12, 2021, QST-Takasaki Online, Japan. p39.
- [5] NexFi Technology Inc.; <https://www.nexfi-tech.com>