

ル内部のタイマを使う設定、後者はデータ収集を繰り返し動作させる設定、である。また、低速で動作させるには、「分周設定(A3041)」を設定する。内部の基準タイマ 200 kHz に対し、例えば 200 を指定すれば 1 kHz sampling になる。

外部トリガにするには、「トリガ選択(A3006)」を適切に設定する。多くの選択肢があるが、モジュール前面の外部トリガ「A」を使用するなら 0x2000 を指定する。

入力信号については、6ch 全部を取り込む必要が無ければ、「収集対象選択(A3043)」で必要な ch だけを指定する。入力信号は、電圧レンジ設定や各種フィルタ(LPF など)の指定が出来るが、初期値のまま使用している。また、F3HA06 モジュールにはアベレージングや FFT など取得したデータをモジュール内で処理する機能(ポストデータ処理)があるが、使用していない。

2.3 F3HA06 から CPU へのデータ転送と処理

Figure 2 に、F3HA06 モジュール内の信号処理の流れを示す。モジュールには計測信号(ch1-ch6)と外部トリガ(2.48s or 5.20s 周期の MR サイクル信号)を入力する。外部トリガ毎に、各 ch の信号は ADC でデジタル化され、1M Word 容量の buffer (トリガ毎に交互に Buff-0 か Buff-1)に格納される。

取り込んだ波形データを活用するには、モジュールの Buffer 内データを CPU モジュール (F3RP61/Linux を想定)に転送する必要がある。FA-M3 PLC-bus のモジュール間 Shared memory は 2k なので、最大 512 回の 2 k データ転送を繰り返すことになり、ここが処理時間の律速となる。

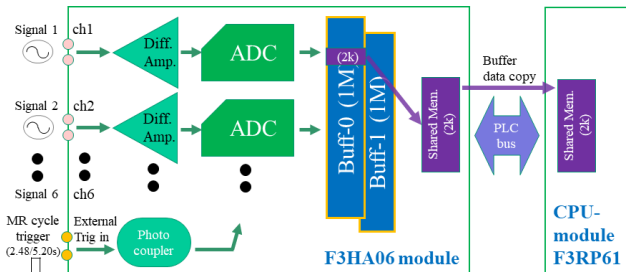


Figure 2: Data flow in a F3HA06 module.

Figure 3 に、CPU モジュール内の処理を示す。Figure 3 内に示す「Buff(1M)」データは 4ch 使用時の例で、「ch1-01」、「ch2-01」、「ch3-01」、「ch4-01」と、複数の ch のデータが sampling の時系列順に並ぶ。CPU 側で各 ch ごとの配列データに並び替え、EPICS PV (Process Variable, EPICS の信号単位)化している。

結局 CPU モジュールは、a) F3HA06 から CPU へのデータ転送の舵取り、b) 転送後のデータの並び替え、さらに c) client からの EPICS PV 読み出しの対応、の 3 種の処理をしている。a)は待ち時間が長く CPU 負荷は低い。この部分は標準的な EPICS database で構築している。b)は MR サイクルに1回の処理なので、負荷がかかるのは極く短時間ですむ。この部分は、EPICS subroutine record で実装している(C 言語ベース)。c)は client の数が増えるに従い無限に CPU 負荷が高くなるため、運用時に極端な状態にならないよう注意が必要である。

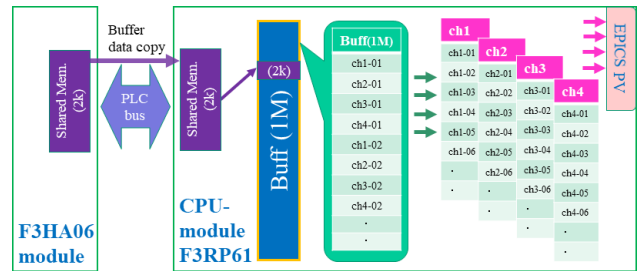


Figure 3: Data handling in a CPU module.

2.4 データ転送時間と運用推奨例

現実装で、F3HA06 から CPU へのデータ転送時間を計測した。条件は:6ch 使用、sampling は 10kS/s、データ取得時間は 5000ms、である。1 回に転送する総データ量は 300k Word、2k 単位の繰り返し転送回数は、設定情報を加え約 160 回である。

計測結果は 4.8 秒であった。2k データを 1 回転送するのに 30ms かかっている。CPU 側から見ると、F3HA06 の 2k データが PLC-bus 経由で転送されてくる待ち時間がほとんどである。この結果(4.8 秒)は SX 向け MR 周期 (5.20 s)より短い、複数の client から EPICS PV を読み出し CPU に負荷をかけると、繰り返し運用でデータ取得に取りこぼしが生じた。

様々な試験から、現実的な利用環境で取りこぼしを生じさせない条件として、運用では「ch 数 x sampling/s が 20k 以下」を推奨している。例えば、2ch x 10kS/s や 4ch x 4kS/s や 12ch x 1kS/s などである。

3. 低速 Digitizer の実機試験

3.1 実機試験: SX-Bump 用 DSP 信号

開発した低速 Digitizer の実機試験を行った。試験信号として、SX-Bump 電源向けの DSP 信号を使用した。

Figure 4 に、MR 第 2 電源棟に設置した低速 Digitizer の現場写真を示す。CPU モジュール F3RP61 と F3HA06 モジュールから成る簡単なものである。Interface(I/F)モジュールについては 3.2 節で説明する。低速 Digitizer の設定は、信号数 4ch、Sampling 4kS/s、データ取得時間 3500ms、である。この設定の「ch 数 x sampling/s」は 16k で、2.4 節の運用推奨条件に適合している。

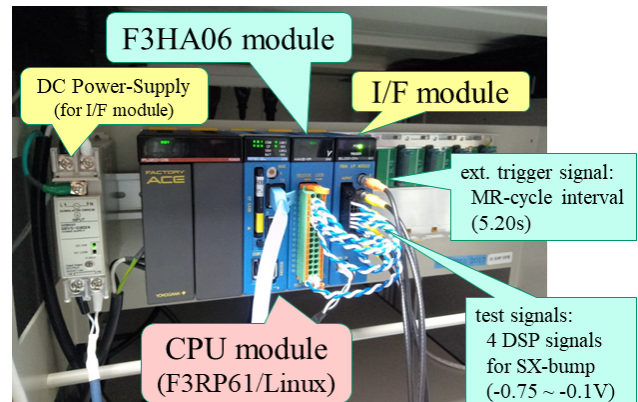


Figure 4: Test setup of a slow digitizer.

Figure 5 に、SX-Bump 電源の波形監視画面を示す。4 系統の SX-Bump 電源があり、左が低速 Digitizer で取った DSP 信号波形、右が別の計測システムによる SX-Bump 電源の出力波形である。SX-Bump 電源は DSP 制御信号の指令で電流を流す。両者が相似形なのは、低速 Digitizer が想定通りに動作していることを示すものである。

低速 Digitizer による DSP 信号監視は、2017 年 5 月に試作機で始まり、2018 年 6 月の MR 運転でも安定に稼働した。特に問題は生じていない。

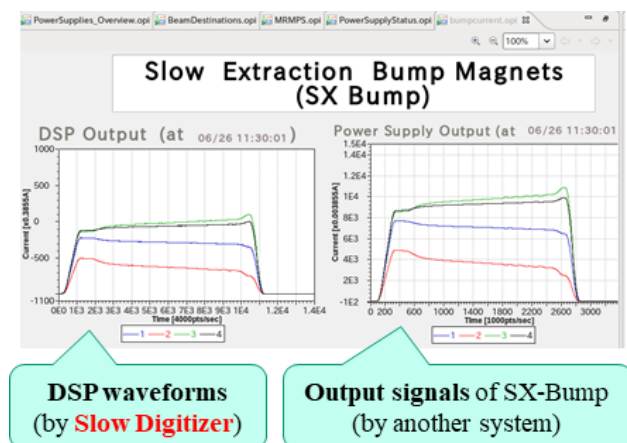


Figure 5: Observed waveforms of DSP signals.

3.2 信号取り合い Interface(I/F)モジュール

F3HA06 モジュールの標準コネクタ(フェニックス・コンタクト社 DFMC 1,5/16-ST-3,5-LR)は特殊で、J-PARC MR の信号配線で使われる LEMO や BNC コネクタとはつながらない。また、F3HA06 が必要とする外部トリガは Gate 信号(1 kS/s sampling なら 1 ms 幅)であり、MR で用意されている Pulse 信号(0.1-1 us 幅)と整合しない。

現場での信号取り合いを楽にするため、F3HA06 専用の取り合い Interface(I/F)モジュールを製造した。Figure 6 に示すが、前面に入力 4ch と外部トリガ信号用の LEMO コネクタが確認できる。また、外部トリガ用に Pulse から Gate を生成する回路を内蔵した。ただし外部電源(24 V)が必要となった(Fig. 4 でも確認出来る)。

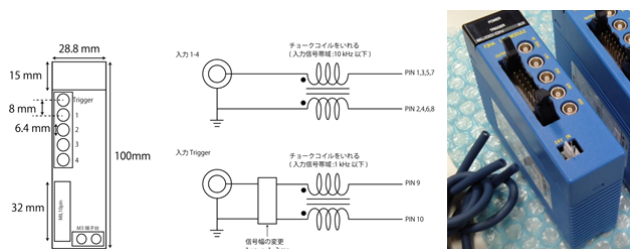


Figure 6: Interface module for F3HA06.

4. まとめと今後

J-PARC MR で需要がある「1-10 kS/s×数秒」の波形データ監視装置は、商用では見当たらない。横河 FA-M3 PLC の高速(200 kS/s)データ収集モジュール F3HA06 を取替えて低速(1-10 kS/s)で使うことで、MR 向け

の低速 Digitizer を実現した。SX-Bump 用 DSP の波形監視で、実用に耐える安定動作を確認した。

今回開発した F3HA06 による低速 Digitizer は、従来の WE7000 や SL1000 に比べ、小型・低コストである。今後、電源の動作確認など低速でかまわない波形監視に投入する予定である。

謝辞

低速 Digitizer の評価にあたり、SX-Bump 電源の DSP 信号を使わせていただいた柳岡栄一氏に感謝します。

参考文献

- [1] M. Takagi *et al.*, “Network-based Waveform Monitor for the J-PARC Accelerator Complex”, Proc. of ICALEPCS 2003, Gyeongju, Korea, October 2003, pp.497-499.
- [2] N. Kamikubota *et al.*, “Migration Scenario of Waveform Digitizers Used in J-PARC MR”, Proc. of 14th Annual Meeting of Particle Accelerator Society of Japan, Sapporo, Aug. 1-3, 2017, pp. 1137-1139.
- [3] J. Odagiri *et al.*, “Application of EPICS on F3RP61 to Accelerator Control”, Proc. ICALEPCS’09, Kobe, Japan, Oct. 2009, paper THD005, pp. 916-918.
- [4] N. Kamikubota *et al.*, “Operation Experience and Migration of I/O Controllers for J-PARC Main Ring”, Proc. of PCaPAC 2016, Campinas, Brazil, October 2016, pp.101-104.
- [5] <https://www.yokogawa.co.jp/solutions/products-platforms/control-system/programmable-logic-controller/plc-analog-temperature/plc-analog-data-acquisition/>
- [6] N. Kamikubota *et al.*, “J-PARC Control toward Future Reliable Operation”, Proc. of ICALEPCS 2011, Grenoble, France, October 2011, pp.278-381.
- [7] 「高速データ収集モジュール F3HA06-1R、F3HA12-1R 取扱説明書」、IM 34M06G02-02、2013.11.15 版、横河電機株式会社。