

# P 型及び N 型半導体基板上での CsK<sub>2</sub>Sb 光陰極生成実験

## CSK<sub>2</sub>SB PHOTOCATHODE EXPERIMENT ON P-TYPE AND N-TYPE SEMICONDUCTOR SUBSTRATES

郭磊\*、加藤政博  
L. Guo\*, M. Katoh  
UVSOR, IMS

### Abstract

CsK<sub>2</sub>Sb photo-cathode is capable to generate a high intensity and low emittance electron beam with a visible laser light. This is feasible for accelerator project especially requiring a high brightness electron beam. In this study, we performed cathode evaporation on N-type Si(100), N-type Si(111), P-type Si(100) and P-type Si(111) substrates to evaluate the performance dependence on the semiconductor substrate types. We report evaporation experiment of CsK<sub>2</sub>Sb on the different types semiconductor substrates.

### 1. はじめに

リング型加速器ではシンクロトロン放射がビーム性能を制限することから、最先端の素粒子物理学や放射光科学では線形加速器の利用が注目されてきている。線形加速器では、高性能な電子銃により生成された高品質電子ビームの性能を劣化させることなく加速することで、リング型加速器では実現の難しいビーム性能へ到達できる可能性がある。この場合、電子源の性能が加速器のビームの性能に直結することから、たとえば、X-FEL [1] や ERL [2] においては、第三世代放射光源における電子銃よりも、二桁から三桁小さいエミッタンスが要求されている。フォトカソード電子銃はレーザー光による光電効果によって電子ビームを生成する電子銃であり、低エミッタンス、短パルスなどの特徴を有しており、先進加速器の要求に応えることができると期待されている。フォトカソード電子銃では、大電流発生が必要とされる場合、陰極の劣化による引き出し可能電流の低下が技術的課題となる。フォトカソードの一種である NEA(Negative Electron Affinity)-GaAs カソードは、光電効果の量子効率 (QE) が 10% 程度と高く、赤色光での励起が可能などの優れた特性を持つが、NEA 表面の耐久性が低いのが課題である [3]。一方、Cu [4] や Mg [5] などの金属カソードは耐久性が高く丈夫であるが、QE が 10<sup>-4</sup> 以下と低く、紫外光での電子励起が必要であり、大電流の発生は難しい。

そこで近年、複数のアルカリ金属からなるマルチアルカリフォトカソードの一種である CsK<sub>2</sub>Sb フォトカソードが低エミッタンス、高 QE のフォトカソードとして注目されている。10% 近い高い QE を有し、一方、緑色光で電子を引き出すことが可能であるため、Nd:YAG レーザーなどの固体レーザーの 2 倍波を利用することが可能であり、レーザー源へ負担をかけることなく大電流を引き出すことができる。しかし CsK<sub>2</sub>Sb フォトカソードは、光電子増倍管などの光電面として実用化されているものの、加速器用電子源としての実績は乏しい。そのため、加速器の電子源としての最適な成膜条件はまだ十分に確立されていない。

分子科学研究所の放射光施設 UVSOR では次世代の光源加速器への応用を目指して、名古屋大学や広島大学との共同研究のもと、様々な電子源開発に取り組んできた [6] [7]。現在は、CsK<sub>2</sub>Sb カソードの研究および生成技術の確立のため、広島大学で開発された専用の実験装置 [8] を用い、特に、カソードの基板のカソード性能への影響に着目し、研究を進めている。今回は、N 型 Si(100)、N 型 Si(111)、P 型 Si(100) および P 型 Si(111) 基板上にカソード成膜を行い、半導体基板のタイプに対する性能依存性に関する実験について現状を報告する。なお、今後の学術雑誌への投稿を考慮し、実験結果については本稿への掲載を控えたものがある。

### 2. CSK<sub>2</sub>SB 蒸着実験

#### 2.1 CsK<sub>2</sub>Sb 蒸着装置

実験のセットアップは、参考文献 [8] に記載されている。装置全体の模式図を Fig. 1 に示している。実験装置は電解研磨された SUS304 で構成されている。装置内は NEG ポンプとイオンポンプを使用することで 10<sup>-8</sup> Pa 台の極高真空を実現している。カソード成膜基板 (15×15 mm) はモリブデン製のパックに固定されている。パックは成膜と電子放出の間にカソードホルダーに取り付けられている。この研究では、N と P 型の Si(100)、Si(111) のウェーハが使用され、全タイプの基板の抵抗率が ≤ 0.002 Ωcm である。

蒸着源は、チェンバー内の直線移動機構に取り付けられている。高純度 (99.9999%) の Sb ペレットはタングステンワイヤーに乗り、加熱により蒸気が発生する。K および Cs 源は、SAES Getters Co.,Ltd. が販売しているディスペンサーを使用している [9]。装置内部のカソードパック周辺の三次元描画を Fig. 2 に示している。基板上の蒸着量は、水晶振動子膜厚計 (INFICON Q-pod Quartz Crystal Monitor) でモニターする。カソード基板と水晶振動子膜厚計が対称に装着され、膜厚計とカソード基板に対称に成膜させることで、基板上の膜厚を推計することができる。蒸着する間に、蒸着源と基板との距離は約 12 mm に維持される。

カソード温度を制御するため、タングステンヒーターが使用されている。ヒーターは、直線移動機構の頭に取り付けられ、カソードパックの背面から挿入することが

\* lguo@ims.ac.jp

できる。カソードパックの温度はカソードホルダーに付けている熱電対で測定される。

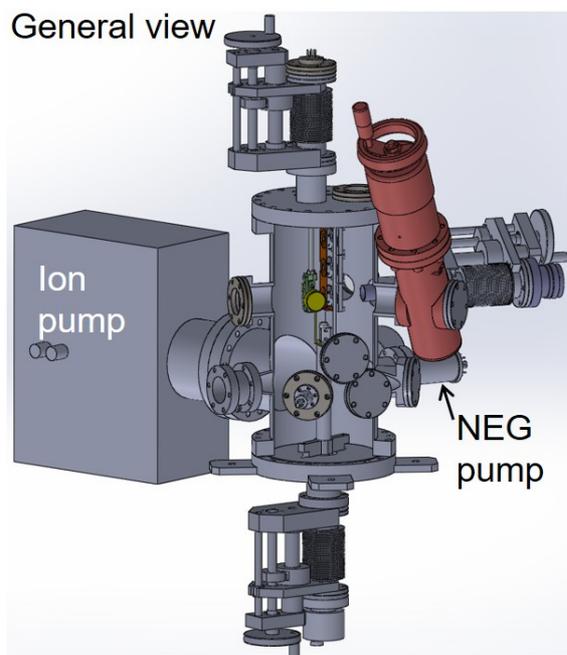


Figure 1: Three-dimensional drawing of the CsK<sub>2</sub>Sb evaporation chamber. Up to three cathode pucks could be stored in the chamber. The cathode could be transferred through the gate valve to another vacuum chamber (vacuum suitcase) for cathode transportation.

## 2.2 CsK<sub>2</sub>Sb 蒸着実験

CsK<sub>2</sub>Sb カソードを生成する前に、基板表面に形成されている酸化膜や不純物を除去し、清浄な表面を得るために加熱洗浄をおこなった。加熱洗浄とは真空中で基板を 600°C 程度に加熱することである。加熱洗浄には基板表面を初期化するという面もある。実験を終えた基板を再び蒸着する前には必ず加熱洗浄をおこなった。典型的なヒーターの電圧とカソード温度の関係は Fig. 3 に示している。加熱洗浄の温度は低いと、基板表面の酸化膜や不純物を完全に除去することができない。一方、高すぎると、基板とモリブデン製のホルダーが化合物になってしまう。Figure 4 に加熱洗浄の温度が 900°C 以上になった場合、Si 基板がぼろぼろになった様子を示す。通常は 5~7 回は再蒸着できる Si 基板が、このときには 2 回目の蒸着では有意な QE を観測することができなかった。加熱洗浄の温度は基板の耐久性に大きく影響することが分かった。

加熱洗浄後に CsK<sub>2</sub>Sb カソードの生成を行う。典型的な CsK<sub>2</sub>Sb カソードの生成方法では、基板の上に Sb、K および Cs を順次蒸着し成膜する。これまでの研究で、10 nm の Sb 膜厚と 100°C の基板温度で再現性良く最大 QE が得られることがわかっている [8]。K および Cs の蒸着量は、それぞれを蒸着する時に最大 QE を与える量から自動的に決定される。すなわち、QE が飽和するたびに蒸着を停止する。蒸着の典型的な手順を以下に示す [8]。

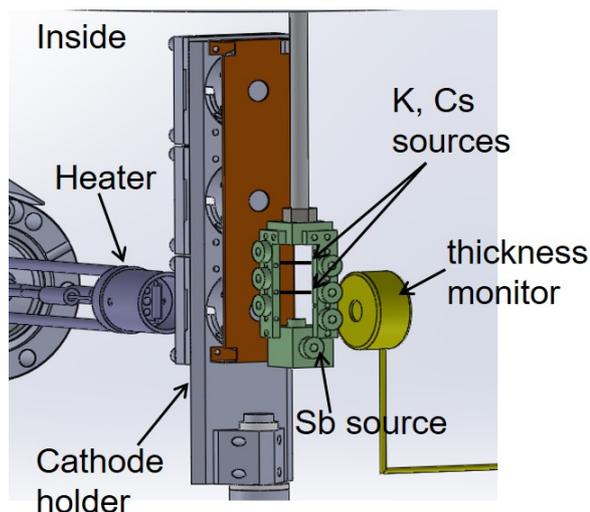


Figure 2: A three-dimensional drawing of the arrangement around the cathode puck. The thickness monitor and the cathode puck were placed in symmetrical positions relative to the evaporation source. The cathode puck temperature was controlled by a heater from behind.

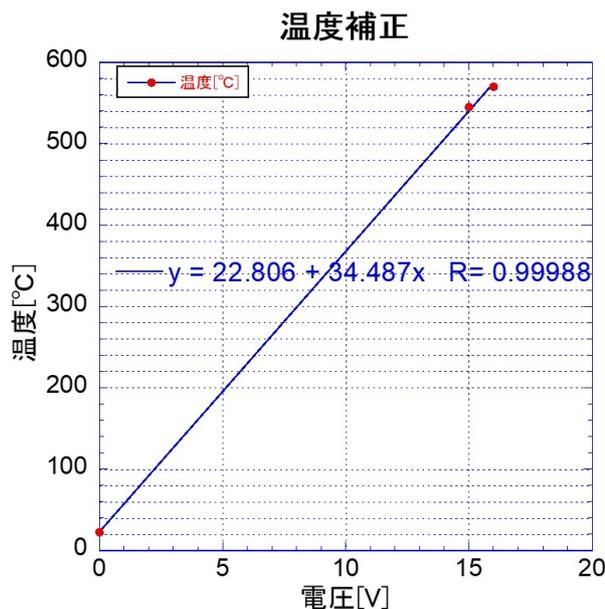


Figure 3: Relationship between the voltage of the heater and the cathode temperature.

1. 600°C で 1 時間に基板を加熱し、基板表面の不純物を除去する (加熱洗浄)。その後、温度を 100°C まで下げて蒸着中温度を一定に保つ。
2. 10 nm の Sb を蒸着する。
3. QE 飽和 (0.2~0.4%) まで K 蒸着。
4. QE 飽和 (2.2~6.9%) まで Cs 蒸着。
5. 基板温度を室温まで下げる。



Figure 4: The Si substrate after heat cleaning at a higher temperature than 900°C.

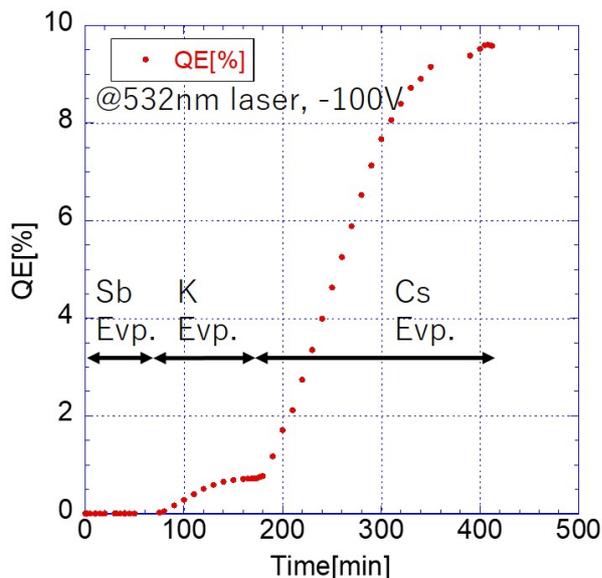


Figure 5: QE evolution during the evaporation process. Sb, K, and Cs was evaporated on p-type Si(100) substrate in this order. QE measured by 532 nm laser was launched during K evaporation and much enhanced in Cs evaporation.

Figure 5 は蒸着中の QE の時間変化を波長 532 nm のレーザーで測定した一例である。カソードに -180 V でバイアス電圧をかけ、光電流はバイアス供給電源の出力電流として測定された。レーザースポットサイズは 0.5 mm<sup>2</sup> であり、典型的な光電流は、K 蒸着する場合に 1~3 μA であり、Cs 蒸着する場合に 3~12 μA であった。我々は、N 型 Si(100)、N 型 Si(111)、P 型 Si(100) および P 型 Si(111) 基板を調べた。最大 QE の結果は表 1 に示している。我々は各基板に 2 回蒸着を繰り返した。各々蒸着後に基板を加熱し、表面を初期化した。誤差は 6 つの測定値の標準偏差として得られ、統計的なもののみである。N-Si(111) と N-Si(100) 基板上的カソード QE は、532 nm でそれぞれ 1.6% と 6.7% であり、P-Si(111) と P-Si(100) 基板上的カソード QE は、532 nm でそれぞれ 2.8% と 9.4% であった。比較するため、Mo(100) と P-Si(100) 基板の先行研究の結果を一緒に示している。

P-Si(100) 基板が 10% 程度の高い QE を示している。

Table 1: The maximum QE of the CsK<sub>2</sub>Sb photo-cathode on N-type Si(100)、N-type Si(111)、P-type Si(100) and P-type Si(111) substrates at 532 nm are summarized.

Substrate	QE[%]@532 nm
P-type Si(100)	9.7 ± 0.7
N-type Si(100)	6.7 ± 0.6
P-type Si(111)	2.8 ± 0.1
N-type Si(111)	1.6 ± 0.2
Mo(100)	10 [10]
P-Si(100)	7~10 [11]

この結果は、コーネルグループによって Mo(100) [10] および P-Si(100) [11] 基板から得られた結果と一致している。一方、同じ面方位をもつ Si 基板に対し、P 型基板上的カソード性能が N 型基板より優れていることを見出した。同じ面方位と洗浄状態の N 型と P 型の Si 基板が大きく異なる量子効率を示したことは、基板の半導体特性がカソード性能に大きな影響を与えるという直接的な証拠である。

Si(100) と Si(111) 基板のカソード性能の違いは、基板面方位依存性によるものである [8]。

CsK<sub>2</sub>Sb 生成後、カソードの励起波長依存性が測定された。400~900 nm の可変波長光はランプ (asahi、High Power キセノン光源、MAX-303) および分光器 (asahi、ツェルニーター型シングルモノクロメーター、CMS-100) から供給された。典型的には、P-Si(100) 基板では、20% より大きい QE は 400 nm で得られた。

### 3. まとめと今後の課題

CsK<sub>2</sub>Sb カソード性能の基板依存性を調べた。P、N 型 Si(100) と Si(111) 基板を用い、CsK<sub>2</sub>Sb カソードの生成実験を行った。その結果、同じ面方位をもつ半導体基板に対し、P 型基板上的カソード性能が N 型基板より高い量子効率を示すことを見出した。これは、カソード性能は基板 P、N 型に強く依存することを示している。

今後は、CsK<sub>2</sub>Sb カソードの基板 P、N 型依存性は一般的な現象なのかを検証するため、P、N 型の GaAs 基板にカソード蒸着実験を行う。基板 P、N 型依存性を説明できるモデルを検討する。また、他のアルカリカソード Cs<sub>3</sub>Sb、K<sub>3</sub>Sb の半導体基板 P、N 型の依存性も調べる。

### 参考文献

- [1] The Technical Design Report (TDR) of the European XFEL (2007).
- [2] Design Study of Compact ERL, KEK-Report 2007-7 (2007).
- [3] Photocathodewiki; <http://photocathodes.chess.cornell.edu/wiki/>
- [4] P. G. O'Shea, Nucl. Instrum. Methods Phys. A **358**, 36 (1995).
- [5] T. Srinivasan-Rao, J. Fischer and T. Tsang, J. Appl. Phys. **69**, 3291 (1991).
- [6] Ryo Inagaki *et al.*, Proceedings of the 10th Annual Meeting of Particle Accelerator Society of Japan, SAP046 (August 3-5, 2013, Nagoya, Japan).

- [7] Tomohiro Miyauchi *et al.*, Proceedings of the 12th Annual Meeting of Particle Accelerator Society of Japan, THP042, (2015).
- [8] L. Guo *et al.*, PTEP, 2017, 033G01.
- [9] [https://www.saesgetters.com/sites/default/files/AMD\%20Brochure\\\_0.pdf](https://www.saesgetters.com/sites/default/files/AMD\%20Brochure\_0.pdf)
- [10] M. A. Nichols, Research Experiences for Undergraduates (REU) Report, 2011, Cornell University; [https://www.lepp.cornell.edu/~ib38/reu/11/Nichols\\\_report.pdf](https://www.lepp.cornell.edu/~ib38/reu/11/Nichols\_report.pdf)
- [11] S. Karkare *et al.*, Proceedings of IPAC 2013, Pasadena, CA, TUOAB1 (2013).