

J-PARC 主リング高繰り返し化のための主電磁石新電源 1 号機

FIRST NEW POWER SUPPLY OF MAIN MAGNET FOR J-PARC MAIN RING UPGRADE

下川 哲司^{*A)}、栗本 佳典^{A)}、三浦 一喜^{A)}、森田 裕一^{A)}、内藤 大地^{A)}、佐川 隆^{B)}
Tetsushi Shimogawa^{*A)}, Yoshinori Kurimoto^{A)}, Kazuki Miura^{A)}, Yuichi Morita^{A)}, Daichi Naito^{A)}, Ryu Sagawa^{B)}

^{A)}High Energy Accelerator Research Organization (KEK)

^{B)}Universal Engineering

Abstract

Japan Proton Accelerator Research Complex (J-PARC) aims at achieving a MW-class proton accelerator facility. One of the promising solutions for increasing the beam power is to shorten the repetition period of Main Ring (MR) from current rating of 2.48 sec to 1.3 sec in the future. However, in this scheme, there are serious concerns for the main magnets power supply that the output voltage and the power variation on the electric system are increasing. We have considered that the energy recovery scheme based on the capacitive energy storage is one of the best solution to compensate the power variation induced by a magnet power supply. In order to apply the higher output voltage, choppers are connected in series. In order to realize precise output current regulation, a passive filter is used to reduce the ripples caused by the IGBT switching and low noise control system. We developed and installed the first new power supply for the main magnet in the summer of 2016. In this paper, the first new power supply for the main magnet in J-PARC MR is reported including the test result.

1. はじめに

J-PARC 主リング (MR) J-PARC MR ではビーム強度増強のために、ビームの加減速時間を短縮し、繰り返し周期を現在の 2.48 秒から 1.3 秒 (速い取り出し (FX) 時) にまで短縮することを計画している。繰り返し周期の短縮により、電磁石電源の出力電流勾配が大きくなることによる電源の出力電圧の増加、電磁石に蓄えられるエネルギーを 1 次側へ回生することによって生じる系統の電力変動の増大が問題となる。さらに、J-PARC MR では 3 次共鳴を利用した遅い取り出し (SX) ビームも供給しており、SX ビームの時間構造の平滑化のために、出力電流の低リップル化も求められる。そこで、以下に示す 3 つの特徴 [1] を持つ新電源を開発し、現行電源と入れ替えることを計画している。

- チョップパの直列接続により高出力電圧を得る。さらに、電源の出力電圧を抑えるために、単位電源あたりの負荷を 2 分割する
- キャパシタバンクと負荷間でエネルギーを交換するエネルギー貯蔵方式により 1 次側系統の電力変動を抑制する
- 出力フィルタによりスイッチングリップルを十分に除去する。さらに、直列および並列多重に接続したチョップパのスイッチの位相をずらすことで等価スイッチング周波数を高くする

本稿では、2016 年度秋に導入した、新電源 1 号機について試験結果を含めて報告する。

2. J-PARC MR 新電源の開発

主リングの主電磁石電源の一覧を Table 1 に示す。新電源の開発にあたり、最も出力パワーが大きい偏向電磁石 (BM) 電源の回路構成の検討から開始した。BM 電

源の回路構成を Figure 1 に示す。高電圧出力に対応するために、チョップパを 6 直列に接続し、それぞれが 480 mF の大容量キャパシタバンク [2] に接続されている。6 つのキャパシタバンクのうち 2 台は系統からエネルギーを供給するための 3 相 AC/DC 変換器を介して系統に接続されており、負荷および回路内で消費されるエネルギーを補償する。残りの 4 つのキャパシタバンクは、系統から充電するための整流回路を接続せず、磁気エネルギーを電磁石と交換するフローティングキャパシタ方式を採用している。この方式を採用することで、整流回路を大幅に削減し高電圧出力を得ることが可能となる。さらに、高電位の整流回路がなくなることも利点である。

また、新電源の実機開発にあたり、主回路の設計・製作と、制御装置をメーカーと我々が分担、協力した開発体制をとった。特に、制御装置に関しては、開発済の制御アルゴリズムの適用や今後の修正/改造等が時間・コスト共に容易におこなえるという利点がある。ただし、主回路、制御共に我々が完全に理解すること、またメーカー側と密に連絡をとりつづけることが必要である。

3. 新電源 1 号機

新電源の 1 号機として BM 新電源の 1 直列分に相当する四極電磁石 QFR 用の新電源 (QFR 新電源) を製作した。ただし、QFR 新電源は小型電源のため系統の電力変動への影響が少ないため、エネルギー貯蔵装置である大容量のキャパシタバンクはもたない。QFR 新電源は、BM 新電源の最小構成要素での変換器の開発、回路構成の確認、制御回路・方式の確立を行う試験機の意味合いも持つ。ここでは、QFR 新電源の主回路、制御部の構成について記述する。

*tetsus@post.j-parc.jp

Table 1: List of Main Magnet in J-PARC

Power Supply	Total Inductance at 30 GeV (H)	Flat Base Current (A)	Flat Top Current (A)
BM1 6	1.47	190	1570
QFN	2.93	86	710
QDN	3.46	86	710
QFX	2.39	88	730
QDX	1.75	86	710
QFR	0.57	77	640
QDR	0.44	75	620
QFP	0.20	77	640
QFS	0.30	81	670
QDS	0.35	110	890
QFT	0.32	95	780
QDT	0.37	90	750
SFA	0.42	23	200
SDA	0.41	19	160
SDB	0.41	19	160

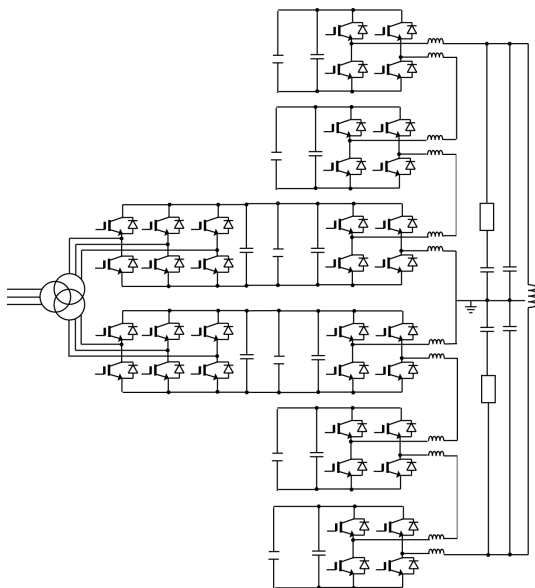


Figure 1: Schematic of new power supply for bending magnet.

3.1 主回路構成

QFR 新電源の回路構成と定格を Figure 2、Table 2 に示す。QFR 新電源は、2 並列に接続された 3 相 AC/DC 変換器、チョップおよび出力フィルタで構成されている。AC/DC 変換器、チョップは、Figure 3 に示す同じハーフブリッジユニットの組み合わせで構成されている。このハーフブリッジユニットは、2 つの 3.3 kV、1200 A の Insulated-gate bipolar transistor(IGBT) で構成された出力定格 1700 V、525 A のユニットであり、定格にあわせて直列・並列に組み合わせることで、QFR 新電源だけでなく、全ての新電源で使用することを考慮して設計・

製作されたものである。出力フィルタは、チョップのスイッチング周波数によって生じるリップルを十分に抑制できるような定数のパッシブフィルタと共通モードフィルタの組み合わせとなっている。

Table 2: Specification of Power Supply for QFR

出力定格電圧	±1500 V
出力定格電流	1050 A
スイッチング周波数	1 kHz
入力 AC 電圧	3Φ 900 V

3.2 制御構成

新電源では、改造の容易さと量産時の再現性に優れたデジタル制御を採用している。また、主回路側から制御へまわりこむノイズを低減するために、IGBT のゲート信号を含む主回路-制御間の信号は、光ファイバで接続することで絶縁している。制御装置の構成を Figure 4 に示す。制御装置は、異常集約・シーケンス制御用の programmable logic controller (PLC)、Analog-to-Digital(AD) 変換基板、AD 基板用恒温槽 [3]、制御基板、電流指令値生成基板 [4] およびゲート生成装置で構成される。特に制御基板、電流指令値生成基板、ゲート生成装置は、ハーフブリッジユニット同様、全ての新電源に拡張することを考慮し、入出力を自由に変更できるような全て Field Programable Gate Array(FPGA) で構成されている。さらに、異常検出時には PLC を経由せず光信号により直接ゲートを閉じる高速インターロックシステムを導入し、10 μsec 以内に電源を停止させる機能を実装した。

4. 実負荷による QFR 新電源試験

製作された QFR 新電源は、2016 年夏に導入され J-PARC MR において実負荷 ($L=0.57$ H、 $R=0.49$ Ω) に接続して試験を行った。まず始めに、現行の運転周期である、2.48 (FX)、5.52 (SX) 秒での通電試験を行った。運転時の電流パターンは、FX、SX 共に 0.14 秒のビーム入射の後、1.4 秒で加速後、FX ではすぐに次のサイクルに備えて入射時の電流まで立ち下げる。SX では、加速後、2.93 秒の間ビームを遅い取り出しで取り出すため、加速終了時の電流を保つフラットトップの期間を持つ。現行の運転時の周期での通電結果を Figure 5 に示す。電流指令値に従った負荷電流とともに、AC/DC 変換器で制御しているチョップの入力 DC 電圧も一定に制御できていることが確認できた。

出力特性を確認するために、FX の周期で通電したときの追従誤差および 800A で通電したときの電流リップルの測定結果を Figure 6 に示す。追従誤差は、学習制御 [5] により電流リップルの範囲内で制御できており、さらに電流リップルは、ほぼ全ての周波数帯域で 10^{-6} レベルまで抑制できていることが確認できる。また、QFR 旧電源に比べて約 1 桁程度改善していることが確認できた。

最後に、8 時間以上のヒートランによる安定性を確認し、2016 年秋から QFR 新電源を実際のビーム運転で現在使用中である。

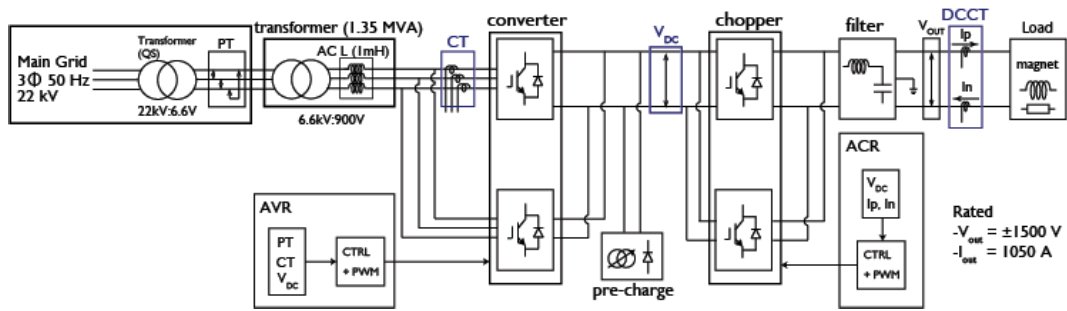


Figure 2: Schematic of new power supply for QFR.

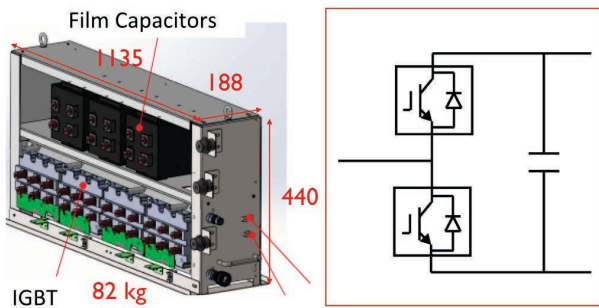
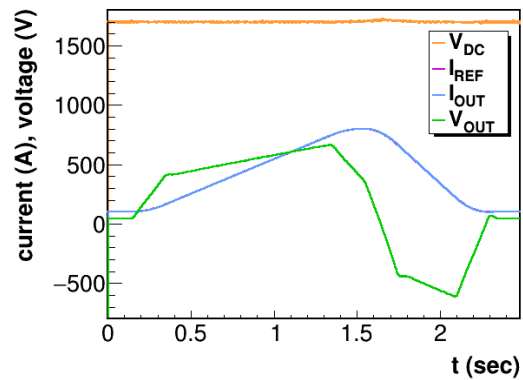


Figure 3: Schematic of IGBT half bridge unit.



(a) Output current, voltage and DC voltage in current FX operation pattern.

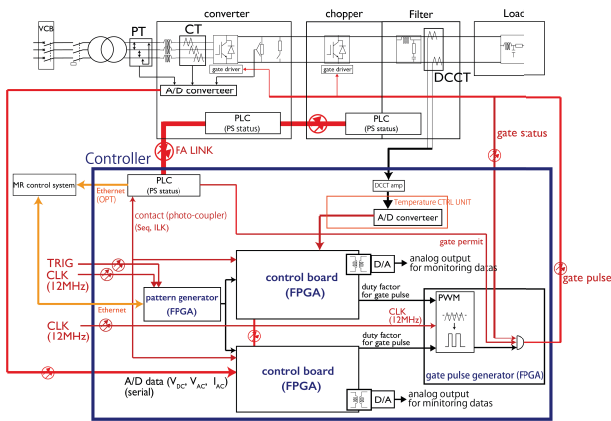
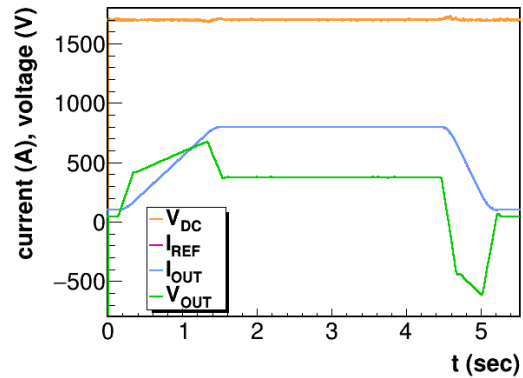


Figure 4: Schematic of control part of QFR new power supply. The red line is optical connection.



(b) Output current, voltage and DC voltage in current SX operation pattern.

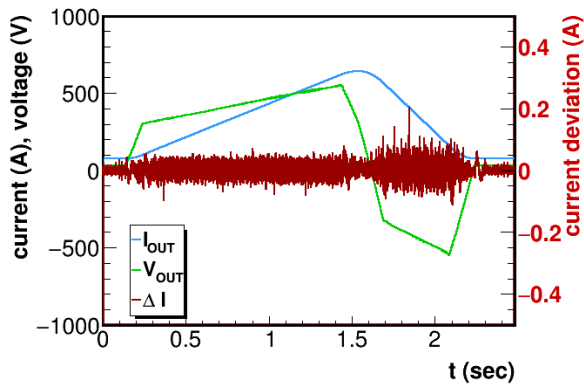
Figure 5: Output current, voltage and input DC voltage of new power supply for QFR in FX(a) and SX(b) of the current repetition cycle.

将来の FX 1.3 秒周期 (加速時間 0.65 秒) での通電試験の結果を Figure 7 に示す。速い繰り返し周期での運転ができることが確認できた。

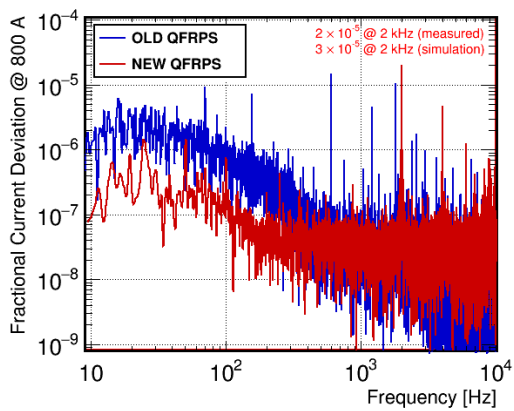
5. まとめ

J-PARC MR のビーム性能向上に向けて、新電源への置き換えが開始された。先行して開発・導入した新電源の 1 号機である QFR 新電源は、実用運転で使用できるだけの性能でありかつ現行の電源以上の性能を有することを確認でき、現在 MR の電源システムに組み込

まれ実用運転中である。今後は、将来の 1.3 秒周期での安定した運転に向けてさらなる調整をおこなっていく予定である。2017 年秋以降、いよいよ BM 新電源が製作され順次試験を行う予定である。



(a) Current deviation in time domain.



(b) Spectrum of fractional current deviation at flat-top in SX operation pattern.

Figure 6: Specification of current deviation.

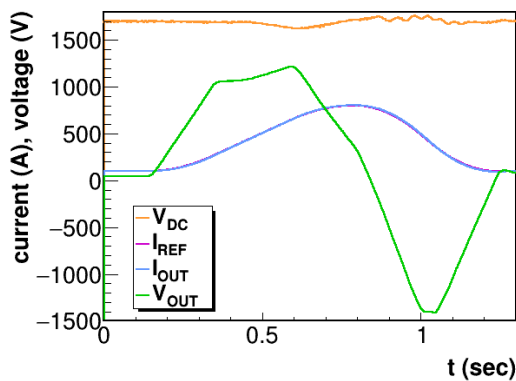


Figure 7: Output current, voltage and DC input voltage in pattern of 1.3 sec repetition.

参考文献

- [1] Y. Morita *et al.*, "Development of J-PARC MR Main Magnets Power Supplies for High Repetition Rate Operation," JPS Conf. Proc., vol. 8, Sep. 2015, ID. 012006.
- [2] Y. Morita *et al.*, "Development of capacitor bank of J-PARC MR main magnet power supply for high repetition rate operation," Proceedings of the 14th Annual Meeting of Particle Accelerator Society of Japan, Sapporo, Aug. 1-3, 2017.
- [3] K. Miura *et al.*, "Development of thermostatic unit for new magnet power supply at J-PARC MR," Proceedings of the 12th Annual Meeting of Particle Accelerator Society of Japan, Tsuruga, Aug. 5-7, 2015, pp.1149-1151.
- [4] Y. Kurimoto *et al.*, "Development and applications of a multi-purpose digital controller with a System-on-Chip FPGA for accelerators," Nuclear Instruments and Methods in Physics Research A Volume 840, pp. 160-167, 2016.
- [5] Y. Kurimoto, Y. Morita, S. Nakamura, and T. Shimogawa, "Precise current control in accelerator magnets with a digital feedback system," *IEEE Transactions on nuclear science*, vol. 61, no. 1, pp. 546-552, 2014.