

解 説

ILC 用バウンサー型パルス電源の開発

明本 光生*1・本間 博幸*2・中島 啓光*2・設楽 哲夫*2・福田 茂樹*2

Development of Bouncer-type Pulse Modulator for the ILC

Mitsuo AKEMOTO*1, Hiroyuki HONMA*2, Hiromitsu NAKAJIMA*2,
Tetsuo SHIDARA*2 and Shigeki FUKUDA*2

Abstract

This paper describes a long-pulse 1.3 GHz klystron modulator that was recently developed for the Superconducting RF Test Facility (STF) at High Energy Accelerator Research Organization (KEK). The modulator has a direct-switched-type design with a 1:15 step-up transformer and a bouncer circuit to compensate the output pulse droop within $\pm 0.5\%$; it can drive a klystron up to 10 MW peak power, 1.5 ms rf pulse width, and 5 pps repetition rate. The main features of this modulator are four 50 kW switching power supplies in parallel to charge storage capacitors to 10 kV, self-healing-type storage capacitors to realize a compact capacitor bank, and a highly reliable IGBT switch which enables elimination of a crowbar circuit. Design considerations and its performance are presented. An IEGT (Injection Enhanced Gate Transistor) switch, composed of six series devices with a rating of 4.5 kV and 2100 A-DC, has been also developed and tested for R&D to realize a compact modulator.

1. はじめに

国際リニアコライダ (ILC)¹⁾の主ライナックの高周波源には、1.3 GHz、10 MW クライストロンが630本使用される。これを駆動するのが今回紹介するバウンサー型と呼ばれるパルス電源である。この電源はピーク電圧120 kV、ピーク電流140 A、パルス幅1.7 ms、パルス平坦度1% (p-p)、繰り返し5 ppsの大電力長パルスを発生するパルス電源である。表1に主ライナックのクライストロンと表2にその電源の主な仕様をまとめた。使用台数の規模とトンネル内で使用することから、特に電源の高信頼化、小型軽量化、低価格化が求められる。

この電源のパルス発生方式は、オンオフ機能をもったスイッチでパルスを直接つくるダイレクトスイッチング方式 (ハードチューブ型パルス電源)²⁾である。次章で詳しく説明するが、“バウンサー回路”(サグ補償回路)と組み合わせることによって、パルス電源に必要なコンデンサバンクの容量を飛躍的に小さくすることができ、電源の小型軽量化、低価格化が実現できた。このような方式の電源はバウンサー型パルス電源

表1 ILC で使用されるマルチビームクライストロンの外観と主な仕様

周波数 (GHz)	1.3
RF パルス幅 (ms)	1.5
ピーク出力電力 (MW)	10
ビーム数 (本)	6
ビーム電圧 (kV)	120
ビーム電流 (A)	140
バービアンズ (μ)	3.4
繰り返し (pps)	5
効率 (%)	60



Thales



CPI



Toshiba

*1 高エネルギー加速器研究機構 KEK, High Energy Accelerator Research Organization (E-mail: mitsuo.akemoto@kek.jp)

*2 高エネルギー加速器研究機構 KEK, High Energy Accelerator Research Organization

表2 ILCで使用されるクライストロン電源の主な仕様

RFパルス幅 (ms)	1.5
電源パルス幅 (ms)	1.7
パルス立上り/立下り時間 (ms)	0.2
クライストロン電圧 (kV)	120
クライストロン電流 (A)	140
パルス平坦度 (%)	±0.5
パルス当たりのエネルギー (kJ)	29
ガン放電時クライストロン許容注入エネルギー (J)	<20
パルス繰返し (pps)	5
電源効率 (%)	85
1台当たりのACライン入力 (kW)	168
全電源のACライン入力 (MW)	106
電源の数	630

と呼ばれている。この電源はFNALでDESYのTTF (TESLA Test Facility)用に初めて開発された³⁾。その後、ドイツのPPT (Pulse-Plasma-Technik-GmbH)社でスイッチ等が改良⁴⁾され、バウンサー型と呼ばれる電源がすでに10台実際に使用されている。これまでにいろいろなタイプのILC用電源⁵⁻⁷⁾が開発されて来ているが、現在のところ高い信頼性を得ているのはこの電源のみで、ILCのベースライン電源として採用されている。

KEKでは、LCのための超伝導加速器技術の確立と推進を行う試験施設(STF)⁸⁾の建設が2005年度から始まり、その第1号RF源用電源⁹⁾としてこの型の電源の開発が始まった。費用をかけないで早期に開発を進めたいことから、核燃料サイクル機構から移管した10年以上たった古いクライストロン電源を改造して製作が行われた。これは初めてのバウンサー型電源の試作機であって、3.9 MWのRFを出力できる電源が誕生した。現在、超伝導空洞の評価試験、空洞用カップラーの大電力試験やSTFのRFシステムで使用するコンポーネントの大電力試験等に使用されている。

次に、2007年度から第2号パルス電源の製作に着手した。この電源は新規に製作することから、電源全体にわたって小型軽量化、高信頼化を考慮した本格的な設計を行った。いろいろなトラブルがあり完成には少し時間を要したが、2009年4月には5 MWクライストロンの長期安定運転ができる状況になった。本稿では、この第2号パルス電源の開発を中心に、バウンサー型電源について報告する。

2. バウンサー型パルス電源の特徴

図1にダイレクトスイッチング方式とバウンサー方

式パルス電源の基本回路図を示す。ダイレクトスイッチング方式のパルス電源は、主に、直流高圧電源、コンデンサバンク、シリーズスイッチ、負荷で構成される。バウンサー回路のない通常のダイレクトスイッチング方式の場合、コンデンサバンクの放電により電圧低下が起きて、そのまま出力波形の電圧低下(サグ)を招く。コンデンサバンクの容量 C とサグの割合 D_r との間には、次式の関係がある。

$$C = \frac{I \cdot \tau}{V \cdot D_r}$$

ただし、 V は出力電圧、 I は出力電流、 τ はパルス幅である。このようにサグの度合いはコンデンサバンクの容量に反比例するので、例えば、20%のサグを1%にするためには、コンデンサバンクの容量を20倍増加させなければならない。コンデンサのコストとスペースが単純にコンデンサのエネルギーに比例するならば、コストは20倍になってしまう。特に大電力でパルス平坦度が要求される場合には、電源の大型化、高価格化は避けられない。

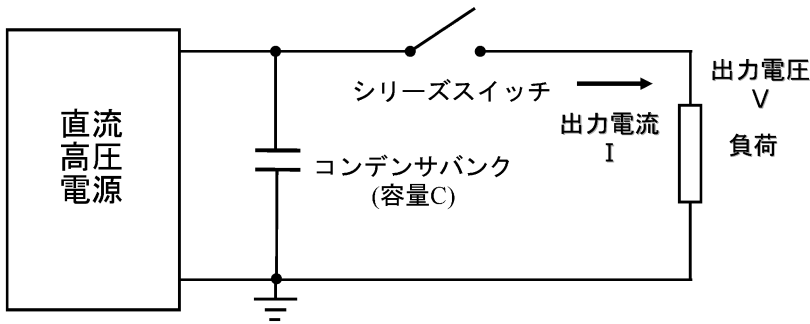
バウンサー方式は、出力電圧のサグを打ち消す逆電圧を発生させる回路を出力に加え、出力電圧の平坦化に必要なコンデンサバンクの容量を小さく押さえようとするものである。今回開発したバウンサー回路はLCの共振回路で、出力回路(STF第2号機ではパルストランスの1次側)に直列接続され、共振用コンデンサとコイル、充電ダイオード、回路を起動させるサイリスタスイッチから構成される。サイリスタスイッチはシリーズスイッチより少し早めにトリガーされる。LC回路から出力された正弦波の直線部分をサグの部分に加えて平坦化する。この回路の特長は、

- (1) 回路が単純でコンパクト。
- (2) 20%のサグを1%以下にすることが出来る。
- (3) 調整が簡単。
- (4) 製作費が安価。

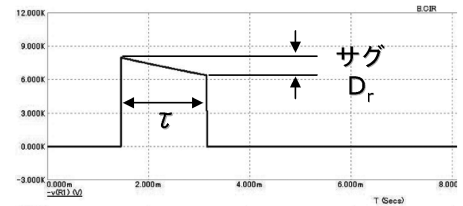
である。

また、ダイレクトスイッチング方式の特徴はシリーズスイッチがオンオフによってパルスを直接作るだけでなく、特にオフ機能を有しているため、負荷短絡等の異常時には出力を瞬時に止めることができるので、負荷を保護することに優れている。クライストロンの短絡放電時には、許される注入エネルギーは20 J以下になっている。

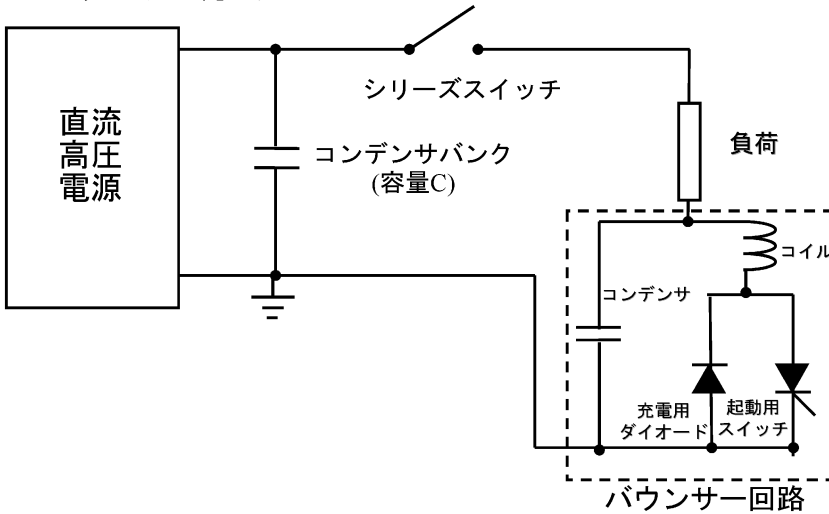
ダイレクトスイッチング方式



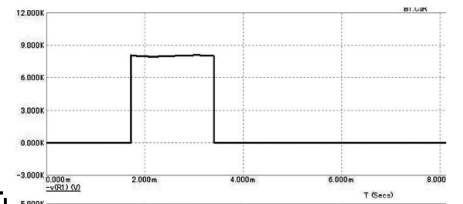
負荷出力パルス電圧波形



バウンサー方式



負荷出力パルス電圧波形



バウンサーコンデンサ電圧
バウンサーコイル電流

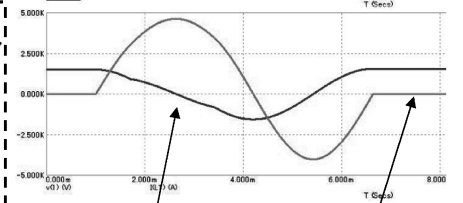


図1 ダイレクトスイッチング方式とバウンサー方式パルス電源の基本回路図

3. STF 第2号パルス電源

3.1 設計の指針

新規設計での第1号機であり、より高信頼化、小型軽量化、低価格化を狙った独自の設計を行った。主な特徴を下記にまとめる。

- (1) 次章で述べる高耐圧、大電流スイッチ素子によるコンパクトな主スイッチ（シリーズスイッチ）を使用することを考慮して、パルストランスの昇圧比は1:15を選択した（基本概念設計（BCD）では1:12）。
- (2) 小型軽量化のため充電電源にはスイッチング電源を採用した。またコンデンサバンクにはSH（Self-Healing）型高密度エネルギーコンデンサを開発した。
- (3) 主スイッチは保護機能を強化することによって高信頼化し、本来のシリーズスイッチの機能を活かしてクローバ回路を除去した。
- (4) パルストランスは、1.7 ms 幅の長いパルスであるのでパルスの立ち上がり時間を約0.1 ms で

表3 STF 第2号で使用するクライストロンの仕様

クライストロン	TH2104	E3736
周波数 (GHz)	1.3	1.3
RF パルス幅 (ms)	1.5	1.5
ピーク出力電力 (MW)	5	10
ビーム電圧 (kV)	130	120
ビーム電流 (A)	92	140
パービアンズ (μ)	2.0	3.4
繰返し (pps)	5	5
ビーム数 (本)	1	6
効率 (%)	42	60

最適化して鉄心の小型軽量化に務め、また低価格化のために鉄心の板厚を厚いものにし、製造が容易な製法を選択した。

第2号パルス電源の負荷は、開発段階であることから5 MW（Thales 製 TH2104）と10 MW（東芝製 E3736）クライストロンが想定されている。それぞれのクライストロンとそれに必要な電源の仕様を表3、

表4 10 MW クライストロン運転時でのパルス電源の仕様 (括弧内の数値は5 MW 運転時)

ピーク出力電力 (MW)	16.8 (12.0)
パルストランス昇圧比	1 : 15
2次側出力パルス電圧 (kV)	120 (130)
2次側出力パルス電流 (A)	140 (92)
コンデンサバンク総容量 (μF)	2000
パルス立ち上がり時間 (10-90%) (ms)	< 0.2
パルス平坦度 (%)	< ± 0.5
パルス幅 (平坦部) (ms)	> 1.5
パルス幅 (半値幅) (ms)	1.7
主スイッチ電圧 (kV)	8.8 (9.1)
主スイッチ電流 (A)	2100 (1380)
最大パルス繰返し (pps)	5

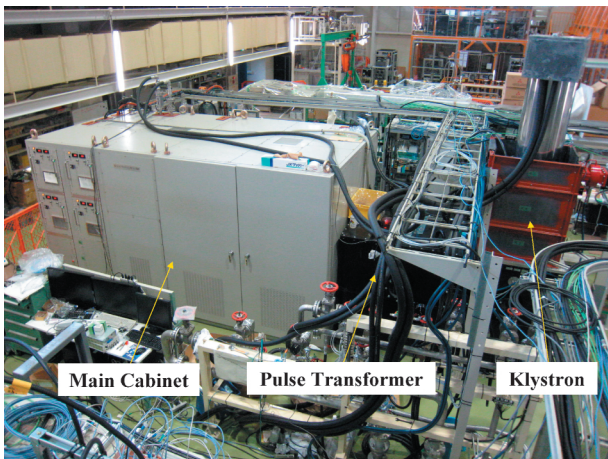


図2 STF第2号パルス電源とクライストロンの外観

4にまとめている。電源本体のサイズは、設置場所の制限から、幅4.2 m、奥行2.2 m、高さ2.2 mとしている。図2に完成したパルス電源の外観写真を示す。電源本体の右側はクライストロンとパルストランスである。全体制御を行うプログラマブルロジックコントローラ (PLC) は19 インチラック筐体に収納され、図2では本体後部に設置されている。

3.2 回路構成

図3にパルス電源の主な回路構成を示す。420 V 3相50 Hzを受電し、10 kVまでコンデンサバンクを充電するための4台のスイッチング電源方式の高圧充電ユニット、パルスをオン・オフする主スイッチ、パルス平坦部を補償するバウンサー回路、120 kVに昇圧する1 : 15のパルストランス (油中使用) から構成される。

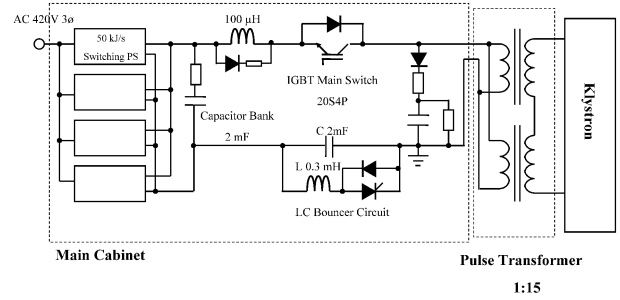


図3 STF第2号パルス電源の回路構成

3.3 充電ユニット

充電電源の小型、軽量化及び制御機能強化を考慮してスイッチング電源方式を採用した。各ユニットは10 kV、50 kJ/sの電力供給能力があり、4台並列接続して使用される。スイッチング電源はスイッチング素子としてIGBTを使用したフルブリッジインバータ方式で、動作周波数は20 kHzでフル運転での電圧安定度は1%以下を実現している。冷却は水冷方式を採用した。

3.4 コンデンサバンク

コンデンサを小型、軽量化するために、コンデンサバンク用としてSH (Self-Healing) 型コンデンサ¹⁰⁾を開発した。コンデンサバンクは定格電圧11 kV DC、容量500 μF のコンデンサ4台を並列接続して使用する。コンデンサの大きさは電位傾度の二乗に反比例するので、小型化には高い電位傾度が要求される。今回ニチコンで開発したコンデンサは誘電体にポリプロピレンフィルムを使用し、その表面に薄い金属で特殊なパターンで蒸着したものである。この方法によって、繰り返し5 ppsのフル運転での設計寿命約10万時間に対して設計電位傾度は $\sim 300 \text{ V}/\mu\text{m}$ まで上げることができた。この値は通常のNH (Non-Healing) タイプと比較して2倍以上の電位傾度で、またエネルギー密度は $270 \text{ kJ}/\text{m}^3$ になり体積は1/4まで小型、軽量化できた。また特殊な蒸着パターンの手法で絶縁破壊がおきてもNHタイプと異なり健全なコンデンサとして維持ができるため安全面でも優れている。

3.5 主スイッチ

主スイッチはスイッチ素子として、IGBTモジュール (三菱電機製CM600H-24H: 定格電圧1200 V、直流電流: 600 A) を使用して、20S4Pで構成する。スイッチの構造を簡素化するために、ゲート駆動回路の電力は主回路から供給し、ゲートトリガーは光ケーブルで送る。主スイッチの保護は、スイッチ各並列回路4ヶ所、一次側出力回路1ヶ所、2次側クライスト

ロン回路 1ヶ所計 6ヶ所に検出器を置き、またそれぞれの保護回路の故障を補償するために回路系を 2重化した過電流保護システムで構成されている。さらにスイッチの保護機能を強化するために、各素子に素子短絡故障検出機能（コレクターエミッタ間の電圧がスイッチ開時 50 V 以下なら異常）を付加し、素子に 1つでも異常が検出された場合、スイッチを高速遮断し、直流高圧電源を停止するインターロックも合わせて設けている。このようにインターロックシステムを多重化することによってスイッチの高信頼化を実現し、クローバ回路を削除した。

3.6 LC バウンサー回路

バウンサー回路は、共振用コンデンサ (2 mF) とリアクトル (コイル 0.3 mH), 充電ダイオード, 回路を起動させるサイリスタスイッチから構成されている。サイリスタスイッチは主スイッチより少し早めにトリガーされる。出力パルス電圧のサグ 20% にたいして 1% 補償できるように LC の値を決定した。出力パルスの平坦部分の 1.5 ms を十分カバーできるように共振の半周期は 2.4 ms である。

3.7 パルストランス

長パルス大電力用パルストランスは、鉄心が大きくなるため大型で高価なものになってしまう。そのため、小型化と低価格化が重要な課題である。鉄心の小型軽量化を計るため、鉄心の断面積がリーケイジインダクタンスの平方根に逆比例することを考慮し、パルスの立ち上がり時間 (10-90%) を 0.1 ms 程度 (2次側換算値でリーケイジインダクタンスが 39 mH 程度) で設計した。また鉄心の低価格化を図るため、より安価な板厚 0.3 mm の方向性硅素鋼板を使用し、製法に於いてもこれまで行われてきたラップ方式ではなく製造費を抑制できる積層鉄心方式を採用した。

パルストランスはリーケイジインダクタンスを極力抑えてコンパクトにまとめるために、低圧側と高圧側の 2 台のパルストランスに分割し、1 次側は並列接続、2 次側は直列接続する構成になっている。夫々のパルストランスの巻線方式は ISO 巻で、独立の巻線で DC バイアスをかけて使用する。クライストロンヒーター電源は絶縁ヒータートランスで直接供給される。また、パルストランスは絶縁油タンクに収納し、その上部にクライストロンが差し込まれる。

パルストランスの設計値 (2次側換算値) は励磁インダクタンス 92 H, リーケイジインダクタンス 36 mH, 分布容量 844 pF, サグ 2% 以下である。タンクのサイズは幅約 2.2 m, 奥行約 1.1 m, 高さ約 1.4 m である。パルストランスの総重量は 8.3 t にもな

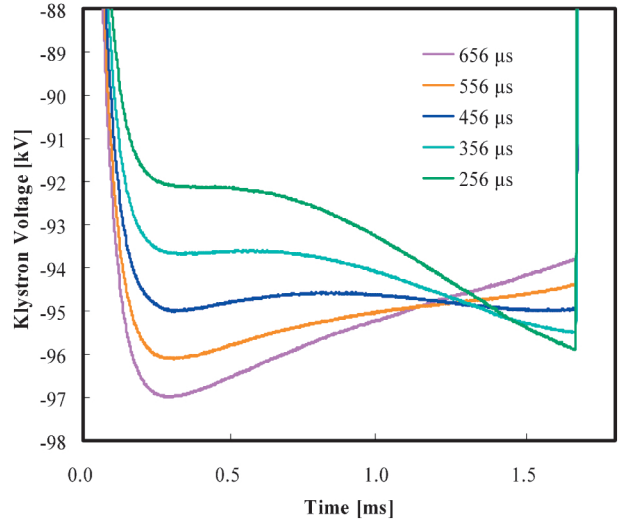


図 4 バウンサートリガーの調整でクライストロン電圧波形の平坦部の変化する様子

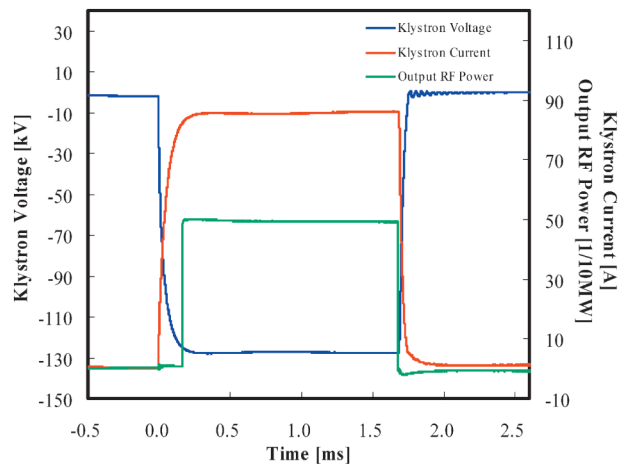


図 5 5 MW 運転時での RF 出力波形とクライストロン電圧・電流波形

る。内訳はパルストランス本体 2.3 t × 2, タンク 1.5 t, 油 2.2 t である。

3.8 運転性能

クライストロン (TH2104) を実負荷として電源の性能を調べた。まずバウンサー回路のトリガータイミングの最適化を行った。図 4 に、充電設定電圧 $E_s = 7.0$ kV, 繰り返し 5 pps で、バウンサー回路を起動するトリガータイミングを変えた時のクライストロンの電圧波形平坦部の変化の様子を示す。主トリガーより 0.456 ms 早いタイミングが、出力パルスの平坦度を最良にする。その値よりも早くすれば前上がりのパルス波形になり、反対に遅くすれば後ろ上がりのパルス波形になる。

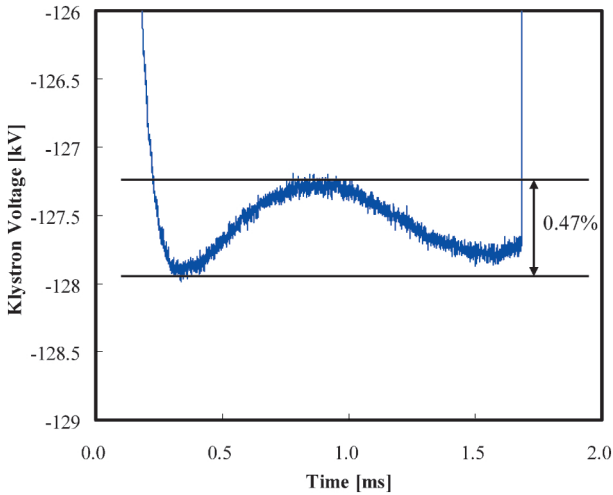


図6 5 MW 運転時でのクライストロン電圧波形の拡大

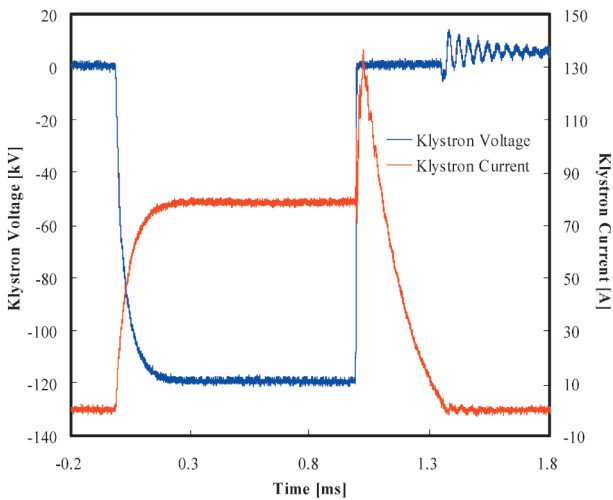


図7 クライストロンブレイクダウン時での電圧・電流波形

次に、 $E_s = 9.6 \text{ kV}$ 、繰り返し 5 pps でのクライストロンの RF 出力が 5 MW 運転時での RF 出力、クライストロン電圧・電流波形の例を図 5 に示す。また、電圧波形の拡大を図 6 に示す。ピーク電圧は -127 kV 、ピーク電流は 85.5 A である。パルスの立ち上がり時間 (10–90%) は $92 \mu\text{s}$ 、平坦部 1.5 ms での平坦度は 0.47% (P–P) で電源のパルス出力性能仕様を満足する結果が得られた。

図 7 にクライストロンのエージング中に放電したときの波形を示す。その時の条件は、 $E_s = 9.0 \text{ kV}$ 、繰り返し 5 pps であった。過電流のインターロックが正常に動作し、IGBT スイッチが正常にオフして、約 $400 \mu\text{s}$ 後にはクライストロンビーム電流がゼロになっている。クライストロン短絡中の注入エネルギー

は、短絡中のアーク電圧を 100 V 一定と仮定して計算すると 2.0 J で、仕様である 20 J 以下を十分満足している。

4. 主スイッチの開発

4.1 概要

東芝三菱電機産業システム株式会社との共同研究で、より小型軽量化、高信頼化を目指した STF#2 用の主スイッチの開発もあわせて行ったので、ここで紹介する。

半導体スイッチの小型化と高信頼化には、出来る限りスイッチ素子の直列数及び並列数を少なくすることが重要である。従って、半導体素子としては高耐圧、大電流耐用の優れたものが要求される。また安全の面で圧接タイプの素子が適している。これまでに、GTO, IGBT, IGCT 素子を使用した半導体スイッチが開発されている。我々はスイッチの素子として、高耐圧化、大電流通電に優れた IEGT (Injection Enhanced Gate Transistor) 素子 ($4500 \text{ V} - 2100 \text{ A}$) を選択した。この素子を適用する利点は以下の通り。

- 1) 安全動作領域が広い (大電流遮断可能)
- 2) ゲート駆動電力が小さい
- 3) 高耐圧で直列数低減可能 (小型化, 高信頼化)
- 4) 直列接続構成 (高耐圧化) が容易 (小型化)

4.2 IEGT スイッチ

開発した IEGT スイッチ¹¹⁾の回路構成を図 8 に示す。1 つの IEGT 素子が $2100 \text{ A} - \text{DC}$ の通電能力があることから、6 直列構成となっている。電流遮断時に発生する主電源回路インダクタンスに蓄えられている電磁エネルギーを吸収し、直列間の過度電圧バランスを均等化するために、各素子には RDC スナバ回路が接続されている。各コンデサ容量は $3.5 \mu\text{F}$ とした。スナバコンデンサを 1 素子ごとに上下対称配置することでスイッチ長を最短としている。大電流遮断時のスイッチ両端過渡電圧上昇を抑制するため、IEGT 素子とリターンパス間に絶縁物を挿入し近接配置する構造により、一巡 L の値が $3 \mu\text{H}$ となる低インダクタンス化を実現した。

スイッチには 1 素子以上の直列冗長性を持たせ、素子毎に短絡故障検出回路を設けることにより、万一短絡故障が発生しても、残り 5 素子で電流を遮断し、装置を停止させることで信頼性を向上させている。図 9 に IEGT スイッチ外観、図 10 に IEGT スイッチスタック部拡大外観写真を示す。スイッチ部の外形は $W: 900 \text{ mm} \times D: 920 \text{ mm} \times H: 685 \text{ mm}$ である。

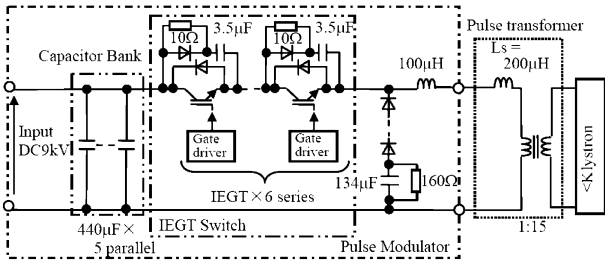


図8 IEGTスイッチと試験電源の回路

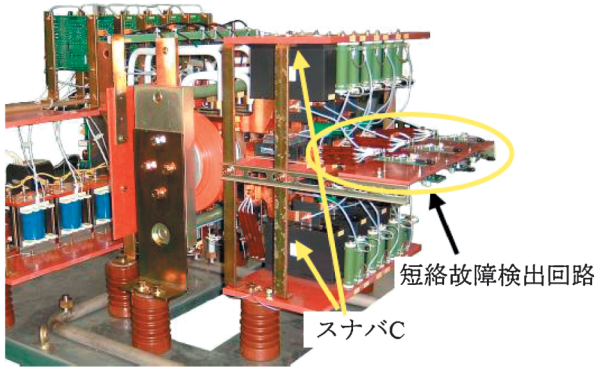


図9 IEGTスイッチの外観図

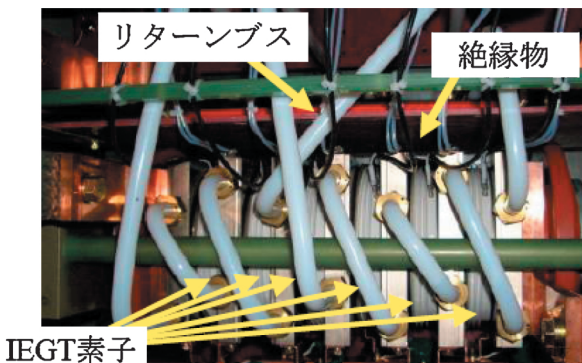


図10 IEGTスイッチスタック部拡大

4.3 評価試験

図8に示す専用の試験電源を使用して評価試験を行った。回路は、コンデンサバンク、IEGTスイッチ、エネルギー吸収回路より構成される。スイッチの性能を評価するだけなのでバウンサー回路は省略した。コンデンサバンクは入力電圧9kVにおいて、17MW-1.7ms 通電中のサグが20%程度となる容量として2200µFとした。

エネルギー吸収回路のコンデンサは、電流遮断時電流制限リアクトル及びパルストランスの漏れインダクタンスの電磁エネルギーにより電圧が上昇する。

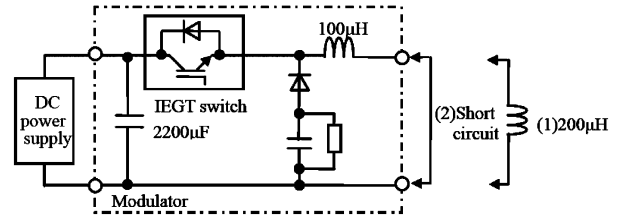


図11 過電流遮断試験回路

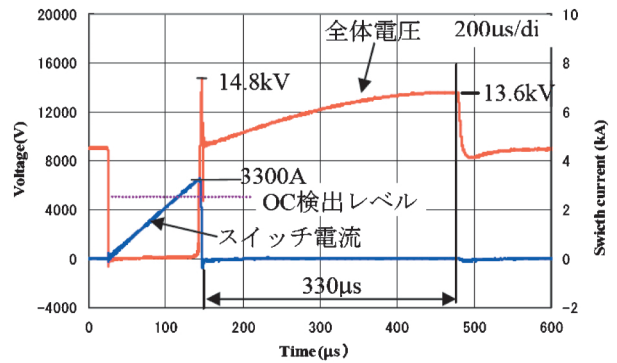


図12 クライストロン短絡模擬過電流遮断試験波形

3300 A 遮断時の電圧上昇を5kV以下とする容量として134µFとした。また、クライストロン短絡時このLC共振回路によりクライストロンへの短絡電流が継続する。共振電流継続時間(共振周期の1/4)は315µsと計算される。

4.3.1 過電流遮断試験

図11に過電流遮断試験回路を示す。試験は(1)クライストロン短絡模擬試験, (2)パルストランス1次側短絡模擬試験について実施した。図12に試験条件(1)での過電流遮断時の波形を示す。遮断電流は3300A, 一巡Lによる過渡電圧上昇は14.8kV, エネルギー吸収回路による過渡電圧上昇は13.6kV, 共振電流継続時間は330µsであった。

図13に試験条件(2)(最過酷条件)での過電流遮断時の波形を示す。遮断電流は4200Aとなった。一巡Lによるスイッチ全体過渡電圧上昇は16.3kVであった。また、IEGT素子の6番目(IEGT6)のターンオフタイミングを他の素子より1µs早くして試験した結果、IEGT6の過渡電圧上昇は3.7kV, 電圧アンバランスは37%であった。実際には、ターンオフタイミングのばらつきは1µs以下に調整可能であり、1素子当たりの最大印加電圧は3.7kV以下となることを検証済みである。

4.3.2 連続通電試験

図14に連続通電試験回路を示す。負荷は(200µH

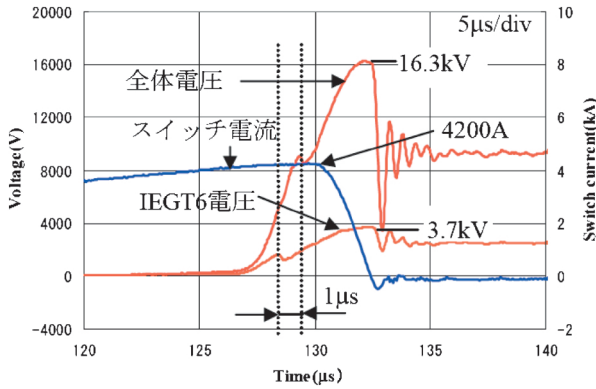


図13 パルストランス1次側短絡模擬過電流遮断試験波形

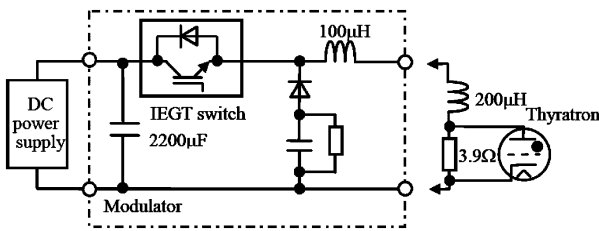


図14 連続通電試験回路

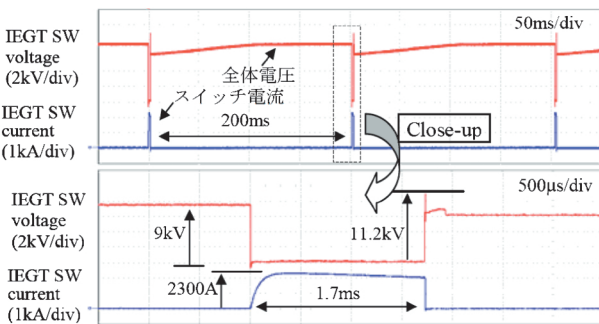


図15 連続通電試験波形

+ 3.9 Ω) を直列接続し、入力電圧 9 kV、パルス幅 1.7 ms、繰返し 5 pps で連続通電試験を実施した。図 15 に連続通電試験の波形を示す。試験結果より、IEGT スイッチは 9 kV-2100 A-1.7 ms-5 pps 連続通電が可能であることが確認された。

4.3.3 負荷短絡試験

クライストロン短絡保護動作確認試験のため、図 14 の試験回路に示すように 3.9 Ω の抵抗と並列に短絡用スイッチのサイラトロンを接続し、パルスオンから 500 μs 後にサイラトロンをオンし、ブレイクダウンを強制的に発生させた。図 16 の試験結果より、遮断電流 3050 A、遮断遅れ時間 34 μs であった。クライ

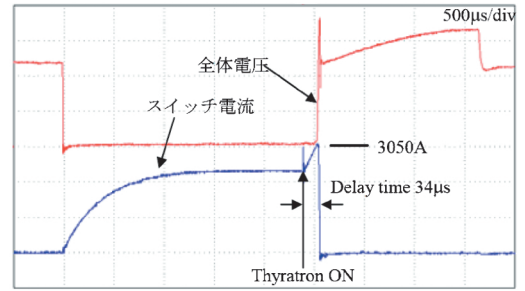


図16 ブレイクダウン模擬試験波形

ストロン短絡中の注入エネルギーは短絡中のアーク電圧を 100 V 一定と仮定すると、共振電流継続時間の注入分も含めて 4.7 J であり、仕様である 20 J 以下を確認できた。

4.3.4 試験結果のまとめ

種々の評価試験を実施した。9 kV-4200 A の最過酷条件での過電流遮断結果から、スイッチ両端電圧 16.3 kV、最大電圧が印加される素子の電圧は 3.7 kV であり、素子定格電圧に対して十分裕度があることが確認された。連続通電試験結果から、9 kV-2100 A-1.7 ms-5 pps 連続通電可能であることが確認された。更に、ブレイクダウン試験結果から、クライストロン短絡時のエネルギー注入量は 4.7 J であり、仕様を満足する結果が得られた。以上より、IEGT スイッチは STF 第 2 号パルス電源に適用できることが確認された。

5. まとめ

ILC のベースライン電源であるバウンサー型パルス電源について述べた。STF 第 2 号パルス電源は 10 MW クライストロンを駆動可能な小型軽量化、高信頼化したバウンサー型パルス電源である。5 MW クライストロンを使った性能試験では仕様を満足するパルス波形及び平坦度 0.47% (p-p) が得られた。現在、STF の RF システムで使用するコンポーネントの大電力試験等に使用しながら長期運転を行っている。

また、この電源の開発と平行して、主スイッチをより小型軽量化、高信頼化するために、高耐圧化、大電流通電に適した IEGT 素子を適用した IEGT スイッチの開発も行った。評価試験を実施し、十分な性能能力があることが確認できた。今後のバウンサー型電源の主スイッチとして活かされる。

ILC の建設を考えた場合、バウンサー型パルス電源はサイズとコストが今後の課題になる。本稿で紹介したように、特にパルストランスは全床面積、全製造コ

ストに対してそれぞれ約20%を占めている。大電力で長パルスをトランスで昇圧する方法でさらなる小型軽量化, 低価格化を望むのはかなり技術的に無理がある。例えば, パルストランスを使用しないバウンサー型電源方式も考えられ, すでに米国のDTI社で開発が進められている。高圧絶縁技術が大変になるが, その開発におおいに期待したい。しかし, 電源の開発で大事なのはやはり動いてなんぼの世界である。最後に残る電源は信頼性, サイズ, コスト, 効率のバランスがとれたものであろう。今後, こうしたバランスに配慮しながら, 開発に取り組みたい。

謝辞

KEKでのバウンサー型パルス電源の開発では, 多数の方々のお世話になりました。深くお礼申し上げます。

STF2号機のパルス電源の設計, 製作にはニチコン草津(株)の古矢勝彦氏, 森均氏に大変お世話になりました。また, コンデンサの開発には辻尾周作氏にお世話になりました。IEGTスイッチの開発にあたっては, 東芝三菱電機産業システム株式会社の左右田学氏, 斉藤隆氏, 山崎長治氏, 株式会社東芝の渡辺郁男氏に大変お世話になりました。この場をお借りしてお礼を申し上げます。

最後に, 試験においてはSTF-RF関係者の方々の多大なご協力を得ました。あらためて感謝いたします。

参考文献

- 1) ILC Reference Design Report,
<http://www.linearcollider.org/cms/?pid=1000437>,

- 2007.
- 2) G. N. Glasoe and J. V. Lebacqz, "Pulse Generators", McGraw Hill, 1948, First Edition.
- 3) H. Pfeffer, L. Bartelson, K. Bourkland, C. Jensen, Q. Kerns, P. Prieto, G. Saewert and W. Wolff, "A Long Pulse Modulator for Reduced Size and Cost", FER-MILAB-Cnf-94/182 (1994).
- 4) W. Kaesler, "A Long-Pulse Modulator for the TESLA Test Facility (TTF)", Proc. of the 22nd International Linac Conference, 459-461 (2004).
- 5) G. E. Leyh, "Development and Testing of the ILC Marx Modulator", Proc. of 2007 Particle Accelerator Conference, 849-851 (2007).
- 6) W. A. Reass, D. M. Baca, R. F. Gribble, D. E. Anderson, J. S. Przybyla, R. Richardson, J. C. Clare, M. J. Bland and P. W. Wheeler, "High Frequency Multi-Megawatt Polyphase Resonant Power Conditioning", Plasma Science, IEEE Transaction on volume 33, Issue 4, 1210-1219 (2005).
- 7) I. Roth, R. Torti, M. P. J. Gaudreau and M. A. Kempkes, "A High-Voltage Hard-Switch Modulator for the International Linear Collider", Proc. of 2007 IEEE Pulsed Power Conference, 1022-1024 (2007).
- 8) STF Group, "STF Phase-1 Activity Report", KEK Report 2009-3 (2009).
- 9) M. Akemoto, H. Honma, H. Nakajima, T. Shidara and S. Fukuda, "Long-Pulse Modulator for the Superconducting RF Test Facility at KEK", Proc. of 2007 IEEE Pulsed Power Conference, 1044-1048 (2007).
- 10) 明本光生, 辻尾周作, 「クライストロン電源用SH型コンデンサの開発」, 第5回加速器学会年会, 第33回リニアック技術研究会報告集, 879-881 (2008).
- 11) 左右田学, 斉藤隆, 山崎長治, 渡辺郁夫, 明本光生, 福田茂樹, 設楽哲夫, 本間博幸, 中島啓光, 「長パルスモジュレータ用IEGTスイッチの開発」, 第4回加速器学会年会, 第32回リニアック技術研究会報告集, 100-102 (2007).