

## デジタル低電力高周波系の開発

道園 真一郎\*<sup>1</sup>・穴見 昌三\*<sup>1</sup>・片桐 広明\*<sup>1</sup>・方 志高\*<sup>1</sup>・松本 利広\*<sup>1</sup>  
三浦 孝子\*<sup>1</sup>・矢野 喜治\*<sup>1</sup>・山口 誠哉\*<sup>1</sup>・小林 鉄也\*<sup>2</sup>

### Development of digital low level rf system

Shinichiro MICHIZONO\*<sup>1</sup>, Shozo ANAMI\*<sup>1</sup>, Hiroaki KATAGIRI\*<sup>1</sup>, Zhigao FANG\*<sup>1</sup>,  
Toshihiro MATSUMOTO\*<sup>1</sup>, Takako MIURA\*<sup>1</sup>, Yoshiharu YANO\*<sup>1</sup>,  
Seiya YAMAGUCHI\*<sup>1</sup> and Tetsuya KOBAYASHI\*<sup>2</sup>

#### Abstract

One of the biggest advantages of the digital low level rf (LLRF) system is its flexibility. Owing to the recent rapid progress in digital devices (such as ADCs and DACs) and telecommunication devices (mixers and IQ modulators), digital LLRF system becomes popular in these 10 years. The J-PARC linac LLRF system adopted cPCI crates and FPGA based digital feedback system. Since the LLRF control of the normal conducting cavities are more difficult than super conducting cavities due to its lower Q values, fast processing using the FPGA was the essential to the feedback control. After the successful operation of J-PARC linac LLRF system, we developed the STF (ILC test facility in KEK) LLRF system. Since the klystron drives eight cavities in STF phase 1, we modified the FPGA board. Basic configuration and the performances of these systems are summarized. The future R&D projects (ILC and ERL) is also described from the viewpoints of LLRF.

### 1. はじめに

現在、さまざまな分野でデジタル系機器が幅広く使用されている。加速器で従来アナログ信号処理のみ行われていた部分にデジタル処理系が加わってきたのは、携帯電話等のデジタル通信、医療系やコンピュータ用の高速処理技術の急速な発展の恩恵を受けているものである。民生用のデジタル機器の急速な発達は、加速器の高周波系に必要な高周波部品を小型で安価に供給してくれる。超伝導空洞の低電力高周波 (LLRF) 制御にデジタル処理系を適用する試みが始まったのは 1990 年代半ばからである。その先駆けとなるのは、DESY の S. Simrock ら<sup>1)</sup>による TTF (現在の FLASH) でのデジタルフィードバック系である。ここでは DSP (Digital Signal Processor) を用い、1 MHz サンプリングのシステムでパルス超伝導空洞の制御を行った。DSP は、そのソフトウェア開発に時間がかかる難点があるが、通常の PC などに使われる CPU よりリアルタイム性に優れている。それまで

は、アナログ回路による制御が主体であったが、デジタルフィードバックには、下記のような利点がある。

- (1) パルス内で時間的に変化する運転値を設定可能。たとえば、空洞のフィリング中を含めて自在な設定ができる。
- (2) デジタル系はソフトウェアにより柔軟にアルゴリズムの変更が可能で、また、デジタルフィルターも追加できる。
- (3) インターロックによる停止後の自動復帰がソフトウェアの整備により容易となる。
- (4) フィードフォワードを設定でき、また、パルスごとのゆっくりしたエラーを補正する (たとえば、温度変化等) ように、時間変化するフィードフォワード (アダプティブフィードフォワード) を作成できる。
- (5) 空洞電界がデジタル値として得られるので、これを使用した空洞の離調補正等もデジタル系で実行できる。

フィードバック性能を決める重要な要素は、全系の

\*<sup>1</sup> 高エネルギー加速器研究機構加速器研究施設  
Accelerator Laboratory, High Energy Accelerator Research Organization (KEK)  
(E-mail: shinichiro.michizono@kek.jp)

\*<sup>2</sup> 日本原子力研究開発機構 J-PARC センター J-PARC Center, Japan Atomic Energy Agency (JAEA)

フィードバックループ時間である。アナログフィードバックの場合、そのフィードバック機器における遅れは 100 ns のオーダーであるが、たとえば、TTF での系では、クライストロン、導波管、信号ケーブルを含めた全体で 3~5  $\mu$  秒程度である。デジタル系の場合は、単純なアナログフィードバック系よりは処理時間で不利となるが、上記のような利点と、CPU の高速化により、近年はデジタルフィードバックの優位性が評価されるようになってきている。

表 1 にデジタルフィードバックが適用される加速器の例をまとめた。J-PARC リニアックは RF パルス幅が 650  $\mu$  秒のパルス常伝導プロトン加速器で、STF-1 は超伝導電子リニアックである。ILC および ERL は計画されている（概算の）目標値を示した。加速電界の安定度はそのままビームのエネルギー安定度に寄与し、新しい計画ではより厳しい要求がなされる。ERL やヨーロッパ XFEL<sup>2)</sup> においては、0.01% 級の安定度が求められるが、これは信号雑音比 80 dB に対応し、技術的にはかなり難しいものとなる。

表 1 各種リニアックの安定度目標仕様

	J-PARC リニアック	STF-1	ILC	ERL
振幅安定度	$\pm 1\%$	0.3%rms	0.07%rms	0.01%rms(?)
位相安定度	$\pm 1$ 度	0.3 度 rms	0.24 度 rms	0.01 度 rms(?)
ビーム電流	60 mA	5 mA	9 mA	100 mA(?)
運転形態	パルス	パルス	パルス	CW

デジタルフィードバックは、デジタル用民生品の発達の恩恵を受けてはいると先に述べたが、仕様自体はかなり異なっている。デジタル通信では IQ 変調が利用されているが、たとえば 256QAM (Quadrature Amplitude Modulation) という方法の場合、IQ 平面に 256 値を分離するが、デジタルフィードバックで 0.1% の精度を求めることは IQ 平面上の 400 万点の分離に対応し、そのために、中間周波数 (IF; intermediate frequency) に変換するダウンコンバータやアナログデジタル変換器 (ADC; analog-to-digital converter) には高安定度が求められる。幸い、民生品のダウンコンバータや IQ 変調器の中には、安価でありながらデジタルフィードバックの安定度を満たしているものも少なくない。本解説では、これまで著者が開発に携わった J-PARC リニアック及び STF のデジタル LLRF 系を紹介し、今後のデジタル系が適用される将来計画についても述べる。

## 2. J-PARC リニアックにおけるデジタル LLRF 系

ここでは、J-PARC リニアックにおけるデジタル LLRF 系について述べる。J-PARC リニアックでは、20 台のクライストロン (324 MHz, 最大 3 MW) が使用され、RFQ 1 台、3 台の DTL, 16 台の SDTL モジュール (1 モジュールあたり 2 台の SDTL 空洞) を励振する<sup>3)</sup>。高周波源に対しては、空洞振幅・位相について  $\pm 1\%$ ,  $\pm 1$  度の精度の安定度を要求されている。図 1 のシステムの模式図に示す。デジタル LLRF 系は PLC により制御され、PLC から空洞振

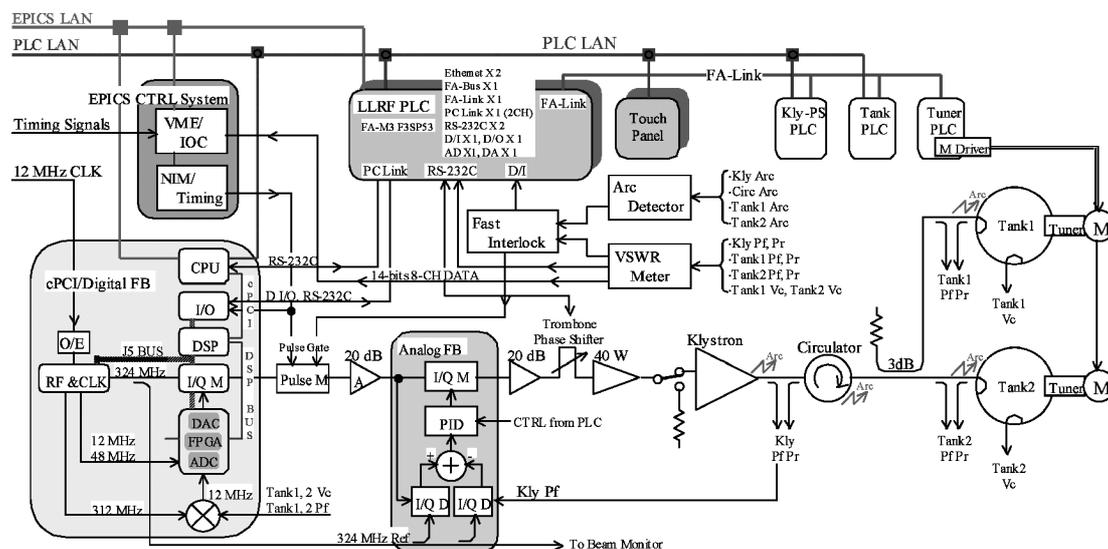


図 1 J-PARC リニアックの LLRF 系

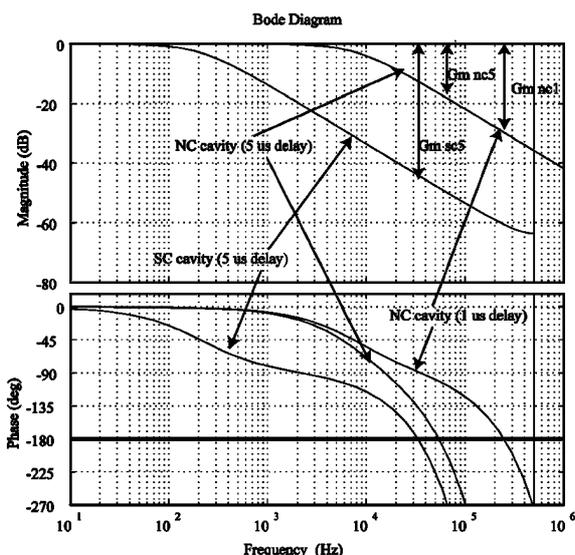


図2 フィードバックシステム特性の計算例。Gm sc5は超伝導空洞の遅れ時間 $5\mu\text{s}$ の場合の利得余裕，Gm nc5は常伝導空洞の遅れ時間 $5\mu\text{s}$ の場合の利得余裕，Gm nc1は常伝導空洞の遅れ時間 $1\mu\text{s}$ の場合の利得余裕．常伝導空洞で遅れ時間のみの違いの系については，利得曲線は同一で位相曲線のみが異なる．

幅・位相，フィードバック定数，フィードフォワードの設定を行なう．また，安全系（高周波のon/offや，冷却水，高周波進行波・反射波，アーク検出のインターロック等の接続）もPLCが対応する<sup>4)</sup>．デジタルフィードバック系の外に独立にインターロック用の変調器を配置しており，デジタル系が調整不能の状態になった場合もRF進行波がしきい値より大きくなった場合には高周波を止めるようになっている．当初は非線形であるクライストロンの入出力特性を線形化するためのアナログ系による高速フィードバックもシステムに組み込むために準備していたが，デジタル系のみで仕様安定度が達成されているため，現在のところアナログ系フィードバックは使用していない．

デジタルフィードバック系を常伝導空洞に適用するためには，フィードバック系の全遅れ時間を短くする必要がある．図2に超伝導空洞（ $1.3\text{GHz}$ ， $Q$ 値は $3.1 \times 10^6$ ）と常伝導空洞（ $324\text{MHz}$ ， $Q$ 値は $2 \times 10^4$ ）での遅れ時間 $5\mu\text{s}$ の場合のボード線図を示す．これは，システムの利得と位相の周波数特性を示すものであり，遅れ時間が大きくなると低い周波数で $-180$ 度と交差する（発振条件）ことになる． $-180$ 度と交差する周波数での利得 $0\text{dB}$ との差を利得余裕と呼ぶ．常伝導空洞で利得余裕を大きくするためには，遅れ時間を短くする（たとえば $1\mu\text{s}$ 程度）必要があること

が分かる（ただし，遅れ時間を $1\mu\text{s}$ としても超伝導空洞より利得余裕は $10\text{dB}$ 以上小さい．）．この点を考慮して，J-PARCリニアックではDSPに替わってFPGA（Field Programmable Gate Array）を採用した．それまで超伝導空洞のデジタルフィードバックに採用されてきたDSP（Digital Signal Processor）は，ADC等からの信号入力に時間がかかっていた．FPGAは論理回路であるため，ADCからの出力を1ビットごとに直接接続することができ，この部分の遅れが解消される．J-PARCリニアックのLLRF系の場合，全体のループ時間は $1\mu\text{s}$ 以下となった．超伝導空洞の場合も，高い安定度が要求される場合にはループ時間を短くする必要があるため，ヨーロッパXFELやILCではFPGAを採用することになっている．FPGAは論理回路であるため，掛け算や平方根，三角関数を使用する計算（たとえば，振幅や位相の計算）はアルゴリズムが複雑となるが，単純なフィードバックであればそれほど難しくない．我々のグループが採用を決めた1999年においては，FPGAを採用した事例はなかった．その後，SNSやDESY，FNAL等でもFPGAが採用され，デジタルフィードバックの主流となっているが，我々の選択は独自のもので，世界の先駆けとなるものであった．また，FPGAを含むデジタル系の筐体としては，cPCIを採用した（1999年）．cPCIは1997年にPICMIG2.0として規定されたばかりであったが，J-PARCにおいては過去の遺産を引き継ぐ必要がなかったこと，CPUやDSPのボードメーカーの多くがcPCIの製品を出している，また，モバイルペンティアムのような当時の新しいCPUがVMEなどよりも比較的早く入手可能で，今後始まる10年以上の運転を考慮して新しい筐体を好んだ．cPCI筐体の内部構成を図3に示す．高周波およびクロック（RF&CLK）モジュールや，IQ変調器，ダウンコンバータ（Mixer&IQ）モジュールといったアナログ信号を取り扱うモジュールもすべてcPCIに格納されているが，cPCI筐体のバックプレーンは，アナログ部とデジタル部で電源や接地を分離する等の工夫をしている．

FPGAボードは高速の単純処理には向いているが，上位制御系との通信等の複雑な処理には向いていない．このため，FPGAに追加して，DSPをボードに配置することが多い．しかし，当時からLLRFの専門家が少なく，FPGAとDSPの両方のソフトウェアを同時に開発することは現実的ではなかったため，ドライバー等が整備され動作が保障されている市販のDSPボード（Spectrum社のBarcelona）を採用した．

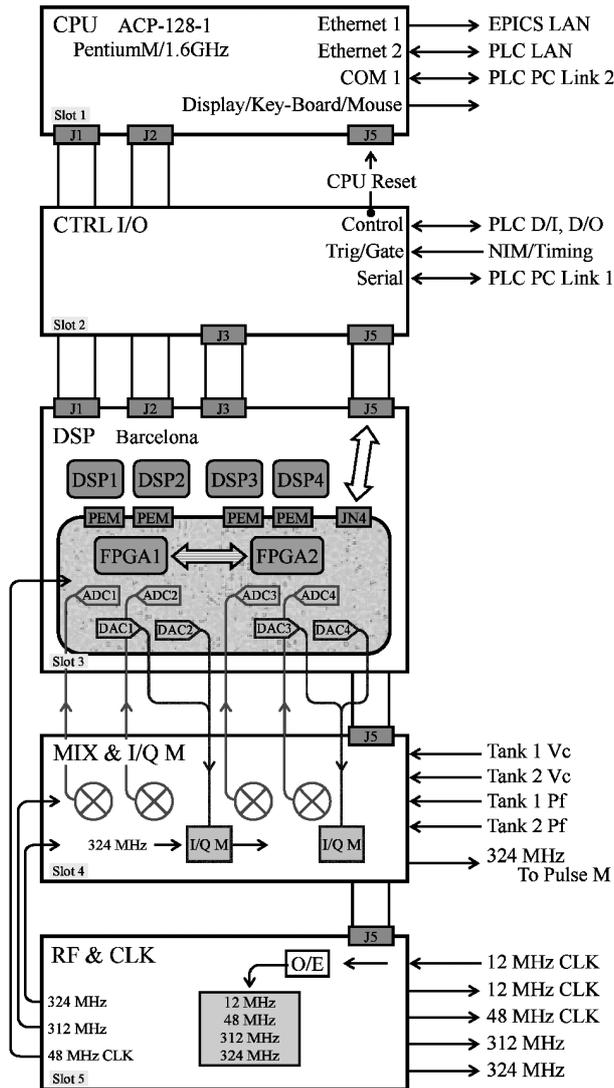


図3 J-PARC リニアックの cPCI 構成

Barcelonaには、PEM (Processor Expansion Module) と呼ばれるコネクタが用意され、たとえばこれに FPGA ボードをデータカードとして取り付けた場合、DSP と FPGA 間を高速通信することが可能である。

超伝導空洞の場合、フィードフォワードと比例フィードバックの組み合わせで制御されることが多いが、常伝導空洞では空洞の Q 値が超伝導空洞と比べて小さいため比例ゲインを超伝導空洞の場合ほどは高くすることはできない。このため、J-PARC リニアックでは比例積分制御を採用した。ソフトウェアの概略を図4に示す。空洞からの信号をアナログ系のダウンコンバータで 12 MHz の中間周波数 (IF) に変換し、IF 信号を直接 ADC に入力する。ADC は 48 MHz のクロックで動作し、ADC の入力信号はそのま

ま I, Q, -I, -Q 成分に対応する。ダウンコンバータおよび ADC のオフセットを除くため、I 成分と -I 成分、Q 成分と -Q 成分の差をそれぞれ 2 で割って I 成分および Q 成分としたうえで、設定値との比較を行い、その残差に比例乗数を掛けたものと、残差の積分値に積分乗数を掛けたものの和にフィードフォワードを足して DAC から IQ 変調器に出力する。SDTL では 2 空洞を 1 台のクライストロンで励振するため 4 つの ADC のうち、ADC1 に空洞 1, ADC2 に空洞 2 の信号を入力し、そのベクトルサム (2 空洞信号の和) が一定になるような制御をおこなっている。また、空洞入力信号を ADC3 および ADC4 で計測しており、空洞入力信号と空洞信号の位相差から空洞の離調を判定し、温度変化等による空洞のゆっくりした離調を調整している<sup>5)</sup>。FPGA は単純な空洞のフィードバックを行い、DSP で空洞の離調計算および離調制御、CPU (OS は Linux) では、PLC との通信および RF 波形等の外部とのやり取りを行っている。

J-PARC リニアックのデジタルフィードバック系では、FPGA ボードにおけるアパーチャジッターの問題 (ADC に入力されるクロックにジッターがある場合、ゼロ付近のデータ取得でエラーが大きくなる問題) や、主発振器 (MO) からの伝送系に当初 12 MHz を計画していたが高周波 (rf) 周波数 (324 MHz) や局所発振 (LO, 312 MHz) 生成の際に温度依存性が大きくなるためギャラリー内の基準伝送周波数を 312 MHz に変更する<sup>6)</sup> 等の変更はあったが、図5に示すように、ビーム運転中の安定度で  $\pm 0.2\%$ 、 $\pm 0.2$  度程度の安定度が得られている<sup>7)</sup>。

### 3. 超伝導空洞における高周波制御の外乱要因

2004 年の ITRP (International Technology Recommendation Panel) 勧告により ICFA (International Committee for Future Accelerators) は次世代の加速器として提案されているリニアコライダーに超伝導技術を採用することとした。一般的には超伝導空洞のフィードバックはこれまで単純なフィードフォワードと比例フィードバックが採用されている。その場合、フィードバック帯域内の周波数成分の外乱を比例ゲインの分だけ抑える。安定な運転のためにはゲインは 100 程度が妥当であり、0.1%, 0.1 度の安定度を得るには外乱は 3% 程度以下にする必要がある。超伝導空洞の高周波制御に関連する外乱には以下のものがある。

- 1) 空洞の離調 (マイクロフォニックス, ローレンツ力): 超伝導空洞は高い Q 値を持つため、振

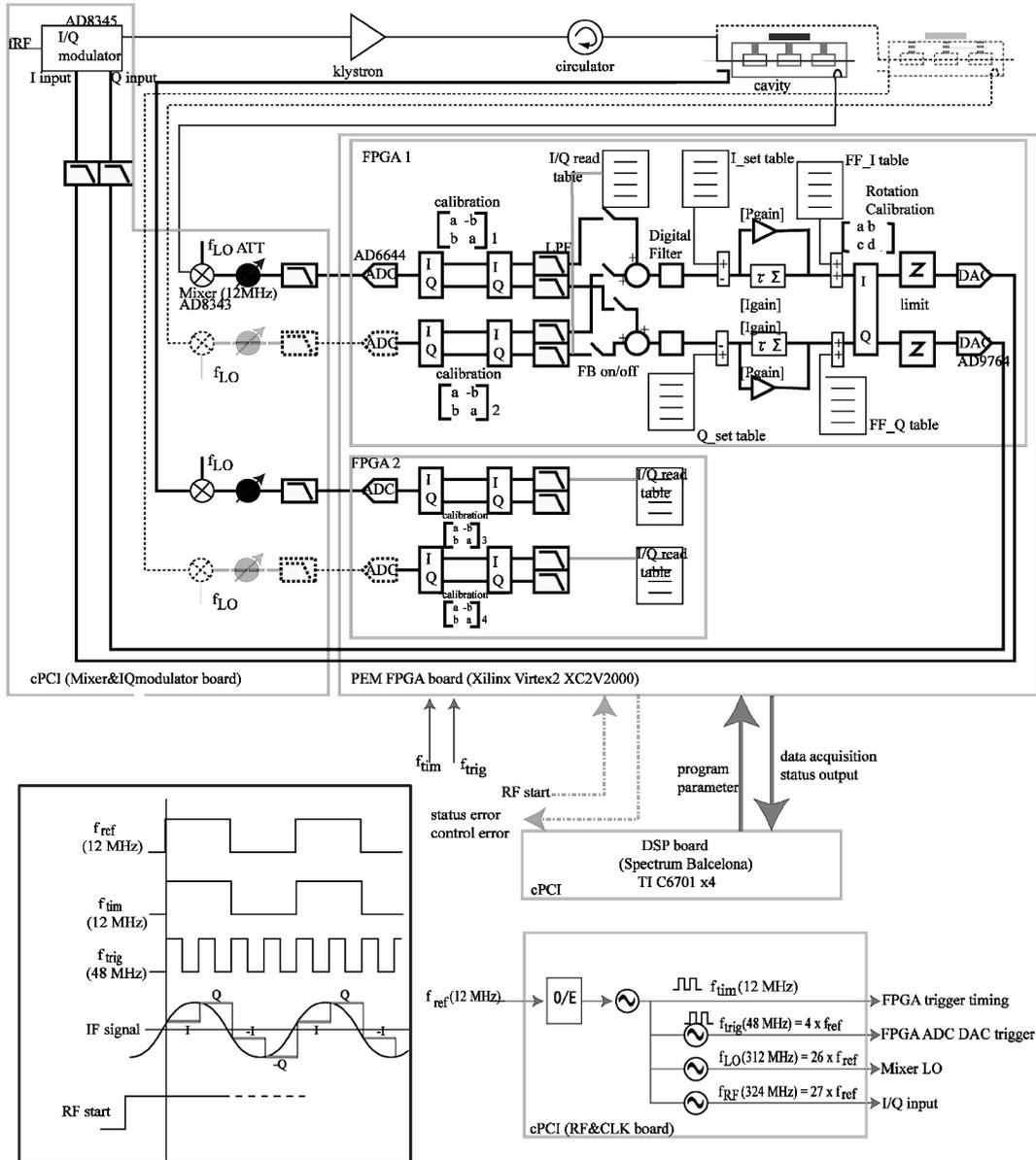


図4 J-PARC リニアックのアルゴリズム

動等による空洞の離調は無視できない。離調は、主として、振動に起因するマイクロフォニックスと、空洞電界の2乗に比例するローレンツ力離調に分けられる。ヨーロッパ XFEL や ILC (International Linear Collider)<sup>8)</sup> といったパルスリニアックでは、ローレンツ力による効果が離調の主たるものとなり、高電界のパルス運転では圧電素子を使ったリアルタイムの空洞の離調制御が必要となる。マイクロフォニックスのレベルは、空洞および冷凍系に依存するが、10~100 Hz の空洞離調となる。

2) ビームローディング：Q 値としてビームと整合した最適値を選んだ場合、平均ビーム電流が1

% 変わった場合、必要な高周波電力は1% 増加するため、ILC のように高周波電力に余裕がない場合は平均的なビーム電流の変動を小さく抑える必要がある。

3) 測定・フィードバック系のノイズ：LLRF 測定系のノイズとしては、中間周波数 (IF) 変換系におけるノイズ、ADC 周辺のノイズ等がある。これらのノイズが、特にスプリアスを含まないノイズであれば、たとえばデジタル系の信号を平均化することによりノイズ成分は減少する (しかし、電源系のノイズ等の特定周波数のノイズがある場合は、平均化を行ってもその成分が残る)。

4) クライストロンの非線形：高周波源としてク

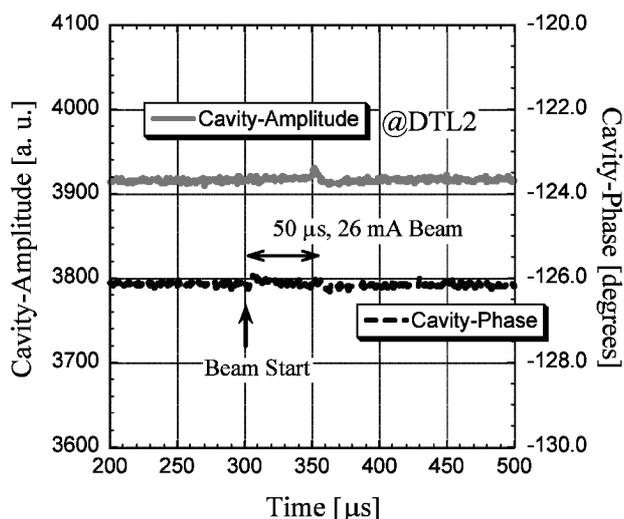


図5 J-PARC リニアックの空洞波形

ライストロンを採用されることが多いが、クライストロンは飽和値付近では入出力特性が非線形となる。このため、フィードバックの働きはその分小さくなるので注意が必要である。クライストロンを使用するヨーロッパ XFEL や ILC では、この非線形効果を補正するようなデジタル系のソフトウェア開発を検討している。

- 5) クライストロンの印加電圧の変動：定性的には、高周波出力は電圧の 2.5 乗に比例し (1.25%/電圧%)、また、高周波位相はクライストロンの長さに依存するが 10 度/%程度変化する。高電界安定度が求められる場合 (<0.01 度) は、LLRF 系でフィードバックを行うとしても高い印加電圧安定度 (<0.1%) が必要となる。

#### 4. STF におけるデジタル LLRF 系

2005 年に ILC のテスト施設として STF (Superconducting rf Test Facility) が KEK に建設されることになり、超伝導空洞の制御のためのデジタルフィードバック系を開発する必要があった。しかし、同種類のデジタル LLRF 系を行っているメンバーは KEK には J-PARC リニアックのメンバーしかおらず、いつもそうであるが、限定された予算で、かつ、限定された人的資源の下での新規開発には難点がかなりあった。しかも、ILC における高周波安定度は最終的には 0.1%、0.1 度程度の安定度が要請されることが予想され、また、空洞数も当時は 1 台のクライストロンで 32 個の空洞を励振する必要があり、J-PARC で開発した FPGA ボード (4ADCs+4DACs) では限界があった。

幸い、STF の第一段階である STF-1 では 8 空洞のベクターサムを取ればよいということがわかり、J-PARC のデジタル LLRF 系を基にして 10 チャンネルの ADC をもつ FPGA ボードと、主発振器 (MO) 系、ダウンコンバータ系を作成することにした。FPGA ボードは J-PARC リニアックと同様 Barcelona のドータカードであり、デジタル系においてかなりの比重を占めるソフトウェアについては、J-PARC リニアックの改良で対応できるため、コスト的にはかなりの利点があった。MO 系については、単体のジッターが 0.03 度以下になるような設計を行った<sup>9)</sup>。J-PARC リニアックでの経験から、位相のドリフトを抑えるには素子の温度制御が重要であることが明らかになってきたため、モジュールを水冷することにした。幸い、STF は旧陽子リニアック棟に建設されることになっていて、0.1 度程度の安定度の冷却水が使用可能であった。ダウンコンバータ系については、アクティブミキサーを含めて J-PARC リニアックの回路をおおむね踏襲し、安定度を増すために水冷することにした。

J-APRC では 14 ビットの高速 ADC (アナログデバイス社 AD6644) を 4 チャンネル実装したが、STF では、高安定度を求められていたため 16 ビットの高速 ADC (リニアテクノロジー社 LTC2208) を 10 チャンネル実装した。LTC2208 はデジタル化に 7 クロックを要し、AD6644 の 3.5 クロックよりデータ処理に時間がかかるが、40 MHz クロックでの差異は 100 ns 程度であり、超伝導空洞の Q 値が高くループ時間については余裕があることから高分解能を採用した。当時から、FNAL や DESY では高い IF 周波数 (>50 MHz) を狙うような設計もあったが、我々は J-PARC の IF およびサンプリング周波数 (それぞれ 12 MHz および 48 MHz) を参考にして、IF 周波数 10 MHz、サンプリング周波数 40 MHz とした。サンプリング周波数を高くすれば、平均化による安定化、FPGA 内部の処理時間の短縮等が見込めるが、一方で、同時に IF 周波数を上げることになれば、J-PARC リニアックで直面したアパーチャジッターの問題に悩まされることが容易に想像できたからである。その点で、J-PARC リニアックの LLRF 開発に要した時間と経験は、今回の STF における開発においてかなり役に立った。図 6 に FPGA ボードの模式図を示す。10 個の ADC は FPGA (Xilinx 社製の VirtexIIPo30) に接続されている。ボードにはこのほか、2 チャンネルの 14 ビット DAC、Ethernet、RS-232C、FPGA ボード間を接続するための高速 IO (RocketIO) が備えられていて、上位の DSP とは

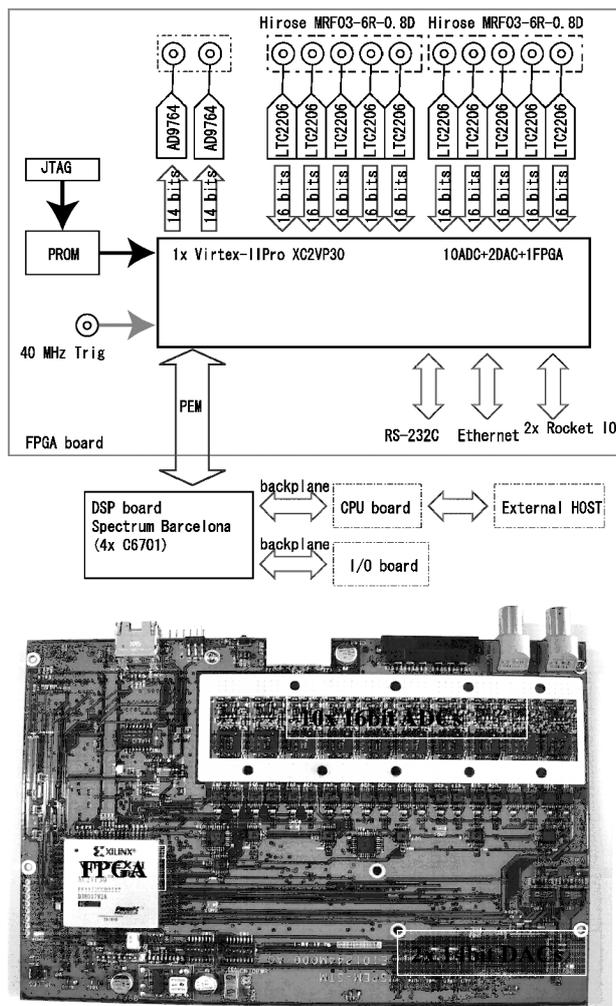


図6 STFのFPGAボードの模式図(上)およびボードの写真(下)

PEMにより接続されている。STFの場合は、OSとしては、Windowsを採用した。これは、デバッグがしやすいことが主たる理由である。J-PARC リニアックではcPCIと一緒にインストールされていたRF&CLKとダウンコンバータ系を独立とした。これは、さきののべたように、温度安定度が求められるために水冷にしたこと、ダウンコンバータのチャンネルが増えたため、cPCIに収まらなくなったことによる。図7にこれまで空洞での安定度試験の結果を示す。現時点ではSTFの運転は空洞単独(ビーム無)であり、図は1空洞の高周波信号の振幅・位相及びそれぞれを拡大したものである。運転は比例制御のみでフィードフォワードを使っておらず、左下の振幅の拡大図でスロープとなっているのは、クライストロンの印加電圧のパルス内変化及びクライストロン励振用アンプのパルス内変化による。適切なフィードフォワードを追加すれば、高周波パルス内で繰り返し現れ

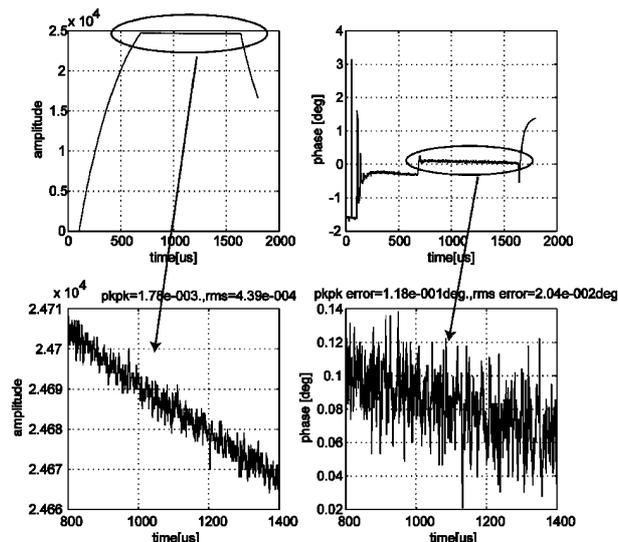


図7 STFでの空洞電界安定度。振幅(左上)、位相(右上)および振幅の拡大図(左下)、位相の拡大図(右下)

るものについては補正が可能である。今回の測定では、このスロープ部分を含めて、振幅安定度が0.04%rms、位相安定度が0.02度rms程度であった。これは高周波運転のみの場合でビーム運転ではさらに外乱が追加されることになるが、システムの信号雑音比としては十分な性能となっている。

### 5. IF-Mix等の計測技術について

ILCの現在のレイアウトでは1台のクライストロンで26空洞を励振する。空洞信号のほかに高周波の進行波および反射波を計測する予定で、80チャンネル程度が必要となる。最大の問題は、FPGAボードに実装するADCの数をどこまで増やせるかということであった。ADCの数を増やすとADC-FPGA間の配線、ADCへのケーブル接続が多くなり、1枚のボードに収容できなくなるという問題があるからである。2005年夏に、ADCの数を増やさずに多チャンネルの信号を計測できるような方法を考案した。原理は複数のIF信号を合成したものをADCに入力し、デジタル系で信号を分離するというものである。たとえば、2種類のIFを用いる場合はADCの数は半分に、4種類のIFを用いる場合はADCの数は1/4で済むことになる。図8にIF-Mixの概念と信号処理の原理を示す。図の例は初期のIF-Mixの概念で、たとえば、48MHzのサンプリングに対し、IF周波数8MHzと12MHzの合成信号がADCに入力される。この信号を4平均すれば12MHzの信号は除かれ、6平均すれば8MHzの信号は除かれる。IFの周期に比べて測定

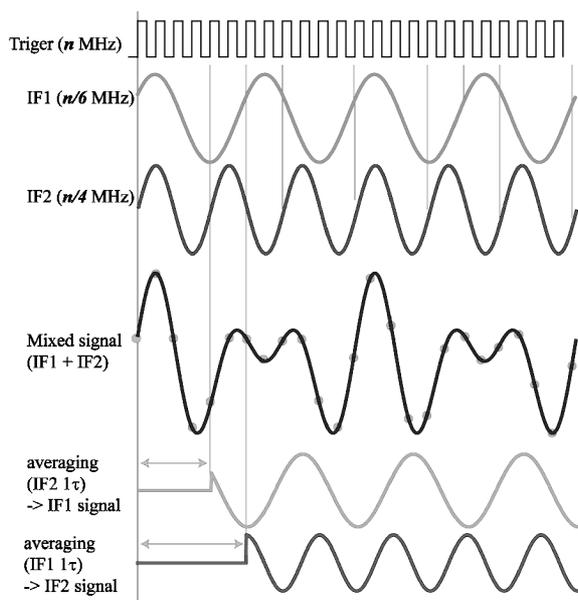


図8 IF-Mix の概念

系の変動が十分小さくないと精度が落ちるが、幸い、超伝導空洞では  $Q$  値が高いため変動の時定数は長い。4 種類の IF を用いる場合等は一般的には重み付きの平均を行うことになる<sup>10</sup>。合成信号を入力するため 1 信号あたりの信号強度は低くなるものの、デジタル化分離作業の段階で平均化を行うため信号の劣化は大きくはないと期待され、かつ、16 ビットの ADC を用いればそれなりの分解能は確保されと考えた。KEK 独自のこの手法に対し、周囲からは「良いアイデアだ」との反面で、「IF をいくつまで増やすつもりか?」といった否定的な意見もあった。この手法については、たとえば、4 種類の IF を用いれば LO は 4 種類必要だが ADC の個数は  $1/4$  になる。80 チャンネルの高速 ADC をボードに実装するのは難しいが、20 チャンネルであれば現実的となるし、ボード間の通信を行わなくて済めば、全体的にみればフィードバック性能を左右する遅れ時間でも優位になるとの見込みがあった。2008 年 3 月の時点で 1 つの空洞信号を 4 つに分岐することにより IF4 種類の合成試験を行い、その信号分離及びフィードバック試験に成功している。図 9 に結果の一例を示す。ここでは、ADC のクロック信号の  $1/3$  の周波数を IF3、 $1/4$  を IF4、 $1/6$  を IF6、 $1/8$  を IF8 としている。4 信号のベクターサム安定度は、 $0.1\%$ rms、 $0.03$  度 rms 程度であった。図 7 と同様、ここでも、振幅信号に含まれているスローブを含めて計算しており、スローブを除いたノイズレベルは  $0.05\%$ rms 程度である。

このほか、FPGA の応用として市販の FPGA ボー

ドを高速の外部モニターとして利用し LLRF 系の安定度を他のモニターでも評価するためのソフトウェア開発<sup>11</sup>、ILC での利用を念頭に、PLC に代わるインターロック系を安価な FPGA で構成する試み<sup>12</sup>、空洞カプラのアーク検出として小型の光電子増倍管モジュールを利用し感度を上げる開発<sup>13</sup>等も行っている。

## 6. 将来計画、ILC と ERL

ILC の設計においては特に国際協力が重要となる。LLRF に関して、アジア・ヨーロッパおよびアメリカとの情報の共有を心がけている<sup>14</sup>。これまでのところ、使用環境の違い、筐体の違いから、ただちにデジタル機器の共有をすところまでは至っていないが、各々の ILC テスト施設における LLRF の開発は、いずれは ILC 標準のものとなることが予想され、一層の国際協力が重要となる。

ヨーロッパ XFEL 建設中の DESY では、新筐体として ATCA を採用する。ATCA はもともと携帯電話等の基地局向けに開発された筐体で、高信頼性が売り物の筐体である。ファンを含めてホットスワップで CPU も複数実装可能である。2007 年から 2008 年にかけて、ATCA およびその簡易版の  $\mu$ TCA の筐体が市場で人気が高まっている。ATCA の場合はその高信頼性のために VME や cPCI より高価となるが、特に通信機関連ではこれが今後の筐体規格の中心になるのではないかとみられている。これまでの資産や、新筐体を採用するリスク (ATCA を採用する通信機業界ではデジタル信号処理のみを ATCA で行うが、加速器の制御ではアナログ・デジタル信号の混合系となる。しかし、これについて ATCA の性能はまだ評価できていなかったため。) を根拠に、DESY の内部でも VME に替えて ATCA を採用することに対しては、すべてが賛成ということにはなかったようである。しかし、特にヨーロッパ XFEL はビームトンネルに筐体を配置する構造となっているため、ビーム運転中に機器交換をすることができない。このため、高信頼性が求められることを根拠に ATCA を選択した。似たような状況は ILC でも当てはまる。たとえば、RDR (ILC の Reference Design Report)<sup>15</sup>によれば、LLRF と筐体をとにもする Control に関しては、2500 時間の MTBF および 5 時間の MTTR が割り当てられており、Control 全体として  $99\% \sim 99.9\%$  の信頼性が求められている。これを Control で使用される 1200 の筐体に単純に分配すれば、各筐体の信頼性は  $99.999\%$  が必要となる。これが現実的な数値となるかどうかは別として、ユニット数が多い ILC におい

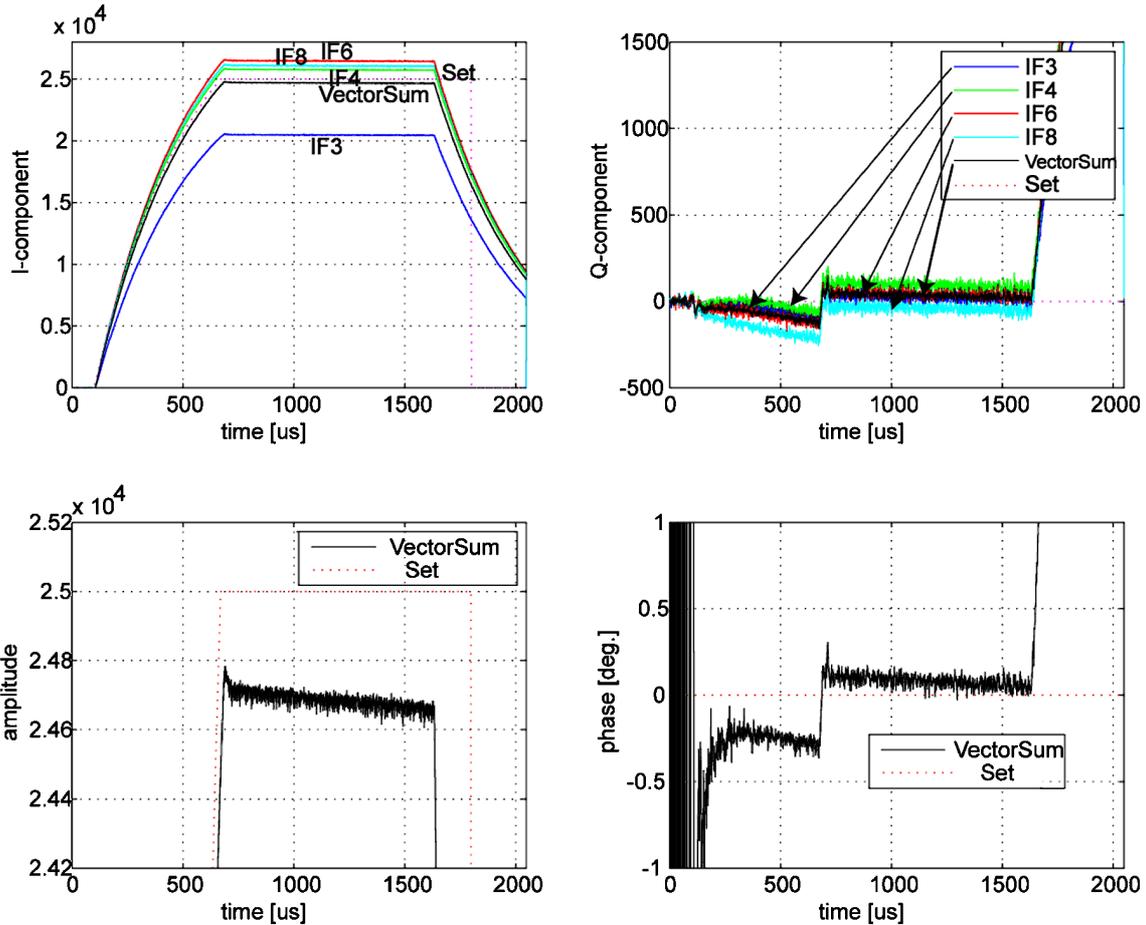


図9 IF-Mix の性能. I成分 (左上), Q成分 (右上) およびベクターサム信号の振幅の拡大図 (左下), ベクターサム信号の位相の拡大図 (右下)

では機器の稼働時間を高めるために高信頼性が重要な要請であることは確かである. この要件を満たす筐体として ATCA を前提として開発が進められている. KEK で計画されている STF-2 は, ILC の 1RF ユニットからなる予定である. STF-2 は ILC 用部品の要素技術を確立する重要な施設であり, LLRF でも実際の ILC で予定されるものと同様な構成のものを開発する予定で, ATCA を用いたデジタルシステムの開発を計画している.

KEK におけるもう一つの R&D プログラムとして, ERL および ERL テスト施設がある. LLRF の観点からの STF との大きな違いは,

- (1) パルス運転ではなく連続運転である.
- (2) 最終的な安定度の仕様は 0.01%rms, 0.01 度 rms 程度になると見込まれる.
- (3) 主リニアックにおいては Q 値が高いため制御すべき外乱がマイクロフォニックスが中心となる.
- (4) 入射部分は大電流であるため, ビーム電流の変動が最も大きな外乱となる. (主リニアックにおいて

は, 実質的なビーム負荷はゼロとなるが, 入射ビームと逆位相になるべき周回ビームが軌道距離等の変動により位相が変わるようなことがあればそれがビーム負荷として現れる. (これも外乱の一つである.)

LLRF の設計の立場から言えば, 外乱の抑制はそのフィードバックゲインの分しか効かないので, (3),(4) については LLRF からはどうしようもない部分があるが, (1)に関しては, 既存の STF の延長上で考えればソフトウェアの大幅な改修が必要であり, (2)に関して言えば, 新たにノイズの低いデジタル変換系およびマスターオシレータ系の開発が必須となる.

## 7. おわりに

近年デジタル化技術は, 民生品での発展により加速器内でも幅広く利用されるようになってきている. LLRF においても, デジタル化により比較的柔軟なシステム構成で高安定度を得ることができるようになってきている. しかし, 加速器における応用はまだ日が

浅く、理解が得られていない部分も多い。ひとつにはフィードバックへの過信がある。フィードバックは基本的には予想できない外乱を抑えるものであるが、しょせん外乱をフィードバックゲインの分だけ減ずるに過ぎない。したがって、外乱が10%ある時に、安定度を0.01%に求めることは現実的ではないのである(フィードバックゲイン1000に対応するが、これはシステムの安定性を考えると難しい)。したがって、高安定度を求める場合は、それなりに安定なシステムが必要なのである。無論、LLRFでも、システム的なジッターやノイズレベルが仕様安定度の1/3程度にはなるように設計する必要はあるのだが。もう一つ、強調しておきたいのが、デジタル系におけるソフトウェアの重要性である。時折、ハードウェアができて完成と誤解される事がある。デジタルLLRFではハードウェアは箱に過ぎず、中身がないと動作しない。しかも、ソフトウェアとひとくくりに言うのも本来は適切ではない。フィードバックの核となるFPGAではハードウェアに近い言語が、DSPではC言語、また上位のCPUではまた別のソフトを用意しなくてはならない。一から作る場合はこの部分にかなりの時間と費用がかかる。デジタル系はソフトウェアにより柔軟にアルゴリズムを変えられる利点があるが、別の見方をすればソフトの定期的な改修作業自身がLLRF系の発達に必要なのである。この件については、比較的歴史の長い欧米の研究者からも同様の愚痴を聞いたことがある。ソフトウェアの維持に関する理解が少ないと。意外に感じたが、同時に、我々と同じ苦勞を彼らもしているということではあった覚えもある。

最後にもう一つ。デジタルLLRF系は、加速器の中でも日の浅い分野であるが、欧米と比較するとそれに従事する人の数が極端に少ない(特にソフトウェア)。デジタルLLRFはCPUや通信分野の発達に合わせて、今飛躍的に発展している分野であり、若い研究者の方、大学関連の方の参加を大いに期待する。ご興味のある方はご連絡ください。

## 参考文献

- 1) S. N. Simrock, I. Altmann, K. Rehlich and T. Schilcher, "Design of the Digital RF Control System for the TESLA Test Facility", Proceedings of EPAC-96, Sitges, Spain.
- 2) S. N. Simrock, V. Ayvazyan, A. Brandt, M. Huening, W. Koprek, F. Ludwig, P. Pucyk, K. Rehlich, E. Vogel, H. C. Wedding, M. Grecki, T. Jezynski and W. Jalmuzna, "Conceptual LLRF Design for the European X-FEL", Proceedings of LINAC 2006, Knoxville, Tennessee USA.
- 3) T. Kobayashi, E. Chishiro, T. Hori, H. Suzuki, M. Yamazaki, S. Anami, Z. Fang, Y. Fukui, M. Kawamura, S. Michizono, K. Nanmo and S. Yamaguchi, "Performance of J-PARC Linac RF System", Proceedings of PAC07, Albuquerque, New Mexico, USA.
- 4) S. Anami, E. Kadokura, S. Michizono, S. Yamaguchi, E. Chishiro, T. Kobayashi and H. Suzuki, "Control of the Low Level RF System for J-Parc Linac", Proceedings of LINAC 2004, Lübeck, Germany.
- 5) S. Michizono, S. Anami, Z. Fang, S. Yamaguchi, T. Kobayashi and H. Suzuki, "Performance of a Digital LLRF Field Control System for the J-PARC Linac", Proceedings of LINAC 2006, Knoxville, Tennessee USA.
- 6) T. Kobayashi, E. Chishiro, S. Anami, S. Michizono and S. Yamaguchi, "Performance of RF Reference Distribution System for the J-PARC Linac", Proceedings of LINAC 2006, Knoxville, Tennessee USA.
- 7) Z. Fang, S. Anami, S. Michizono, S. Yamaguchi, T. Kobayashi and H. Suzuki, "RF Feedback Control Systems of the J-PARC Linac", Proceedings of PAC07, Albuquerque, New Mexico, USA.
- 8) <http://www.linearcollider.org>
- 9) T. Matsumoto, S. Michizono, Y. Yano, H. Katagiri, S. Fukuda and Z. Geng, "Low-level rf system for STF", Proceedings of LINAC 2006, Knoxville, Tennessee USA.
- 10) T. Matsumoto, S. Fukuda, H. Katagiri, S. Michizono, Y. Yano and Z. Geng, "Development of Digital Low-level RF Control System using Multi-intermediate Frequencies", Proceedings of PAC07, Albuquerque, New Mexico, USA.
- 11) H. Katagiri, S. Fukuda, T. Matsumoto, T. Miura, S. Michizono, Y. Yano and M. Yoshida, "Evaluation of the FPGA Board for Microwave Measurement and Control", Proceedings of the 4th Annual Meeting of Particle Accelerator Society of Japan and the 32nd Linear Accelerator Meeting in Japan (August 1-3, 2007, Wako, Japan).
- 12) T. Miura, Z. Geng, H. Katagiri, S. Fukuda, T. Matsumoto, S. Michizono and Y. Yano, "Fast Interlock System using an FPGA Board", Proceedings of the 4th Annual Meeting of Particle Accelerator Society of Japan and the 32nd Linear Accelerator Meeting in Japan (August 1-3, 2007, Wako, Japan).
- 13) Y. Yano, H. Katagiri, T. Matsumoto, T. Miura, S. Michizono and S. Fukuda, "Development of Arc Detector using Photomultiplier Tube", Proceedings of the 4th Annual Meeting of Particle Accelerator Society of Japan and the 32nd Linear Accelerator Meeting in Japan (August 1-3, 2007, Wako, Japan).
- 14) J. Branlard, B. Chase, S. Simrock and S. Michizono, "Survey of LLRF Development for the ILC" Proceedings of PAC07, Albuquerque, New Mexico, USA.
- 15) <http://www.linearcollider.org/cms/?pid=1000437>