

The Status of the Timing System for J-PARC Linac / RCS

Hiroki Takahashi^{1,A)}, Hironao Sakaki^{A)}, Hiroshi Yoshikawa^{A)}, Yuichi Itoh^{A)}, Takahiro Suzuki^{A)}

A) J-PARC Center, Japan Atomic Energy Agency (JAEA)

2-4 Shirakata Shirane, Tokai-mura, Nakagun, Ibaraki, 319-1195

Abstract

J-PARC Timing System is the scheduled timing as the basis of the 25Hz trigger clock defined by the LUT. The LUT is set in advance before receiving the trigger clock and contains delay words. At the original design, the change of LUT was not required synchronous and simultaneity. And if these are required, it is considered that these requirements are accomplished by "type operation". But, the result of the further study for components and facility operation shows that it is necessary of synchronous and simultaneity of LUT changes, in addition, it is difficult to accomplish the all accelerator operation by only "type operation". Therefore, at the data of RCS monitor, it is shown importance to effectively use the timing information to distinguish MLF beam and MR beam.

Then we designed the new timing system which is added to the Reflective Memory to the original design, and we could develop the timing system which is able to accommodate the additional requirements.

J-PARC Linac/RCSにおけるタイミングシステムの現状

1. はじめに

J-PARCタイミングシステムは、スケジュールドタイミングとシンクロナイズドタイミグから構成され、殆どの機器はスケジュールドタイミングにより動作する。スケジュールドタイミングは、中央制御棟から送信される25Hzトリガクロックを基準として、あらかじめLook Up Table (LUT) で設定されたディレイで定義されるタイミングである。中央からは12MHzクロック、25Hzトリガクロック、タイミングコントロール信号 (Type等) が各施設に光ケーブルを通じて送信される。そして、各電源室等に置かれた受信モジュールは、Typeに基づくLUTのディレイ値でTrigger信号、又は、Gate信号を出力する[1]。

初期タイミングシステムは、1) LUT変更の同時・同期性は不要、2) 同時・同期性はTypeの操作により実現、という仕様で設計、開発が行われた。しかし、加速器を構成する各機器の設計・製作が進み、運転方法の検討が行われると、初期タイミングシステムではLinac及びRCSで要求される全ての運転を行うには不十分であることが明らかとなり、その改良が必要となった。

2. 初期システムの問題点

初期タイミングシステムでは、LUT変更の同時・同期性が不要であったためLUTの変更はLAN経由で行うこととなっていた。これにより、全ての同期・同時性が必要なタイミング操作 (ディレイ値の同期・同時変更) は、Type変更のみで行う必要があった。

しかし、加速器を構成する機器の設計・製作が進み、各機器がどのようなタイミング信号を必要とするのか確定し、それを基にLinacとRCSで行われる運

転を実現するためのタイミング制御方法を検討した結果、共用運転、コミショニング運転などLinac及びRCSの全ての運転を行うためには、Typeの数 (256Type) が少ないことが明らかとなった。また、スケジュールドタイミングにおいては、LUT (ディレイ値) とTypeの設定を関連づけて管理する必要があるが、使用されるtype数が多いことから、その管理が難しくなることも明らかとなった。

一方、RCSは25Hzの早い繰り返しでMLFとMRの2施設にビームを入射するため、行き先毎のビームを区別した監視・制御が必須である。これを実現するためには、ビーム行き先情報とビームtag (何番目のビームかを示す) 情報が必要であるが、これらの情報は全てスケジュールドタイミングが持っている。しかしながら、初期システムにおいては、これらの情報をRCSモニタシステム等のタイミングシステム以外が利用することは困難であり、その情報を容易に利用可能とすることの必要性も明らかとなった。

3. ハードウェア構成

上述の問題点解決のための調査・検討を行った結果、リフレクティブメモリ (RM) を採用することが有効であることが分かった。そして、初期システムにRMを追加して新たなタイミングシステムを構成することとした。

RMとは、複数台のVME及びPC間でメモリ共有するためのインターフェースボードである。あるnode (VME、PC) でRM上に書かれたデータは瞬時に他のnode上のRMにコピーされたため、全nodeで同じデータを共有することが可能となる。

本システムで採用したRMの仕様を以下に示す。

・GE Fanuc製 5565

¹ E-mail: takahashi.hiroki@jaea.go.jp

メモリサイズ：128MB or 64MB
データ転送レート：2Gbps
最大node (PC、VME) 数：256

また、RMを追加したタイミングシステムハードウェア構成図を図1に示す。図1にそれぞれに示す。

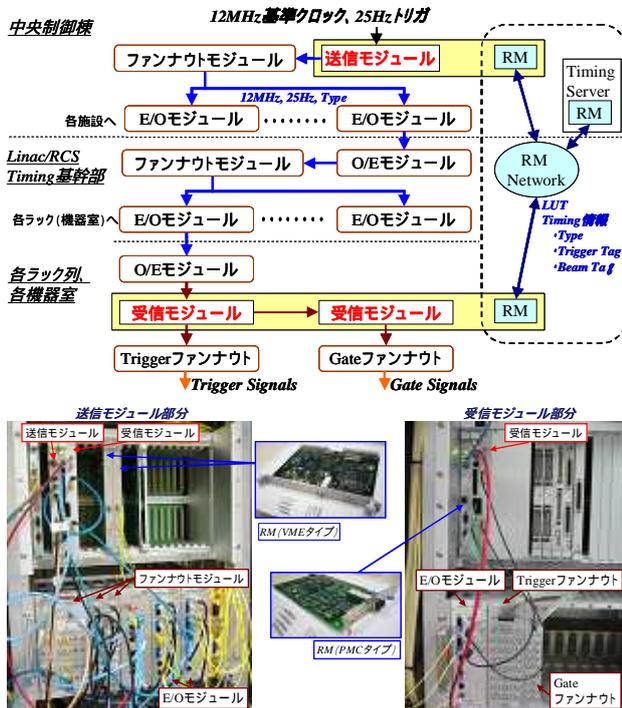


図1 タイミングシステムの構成概略

Table 1 Linac/RCSのタイミング用 VME、NIMモジュール、RM設置数

	Linac	RCS
VME (タイミング用IOC)	43台	10台
受信モジュール (VME)	70枚	34枚
E/O、O/Eモジュール (NIM)	61台	23台
トリガファンナウト (NIM)	65台	24台
ゲートファンナウト (NIM)	63台	10台
リフレクティブメモリ	43枚	10枚

RM Networkでのデータ伝送時間は、おおよそ「360nsec/packet + 遅延時間 (全光ケーブル長 × 5nsec/m + 550nsec/node × node)」で表される。Table 1よりLinacのnode数は43である。また、中央制御棟 - Linac間におけるRM Networkの光ケーブル長を5,000mとすると、Linacにおいては約50 μ secでデータの共有が可能となる。つまり50 μ secでLUT変更ができることになる。ここで、50 μ secは、タイミングシステムの動作 (25Hz, 40msec) と比較してリアルタイム (同時・同期) であると言えることから、LUT変更の同時・同期変更が実現できることとなる。また、RMの128M (64MB) というメモリアreaを利用することにより、必要なタイミング情報の利用を可能となる。

3. タイミングシステムの運用

LUTの同時・同期変更が可能となったタイミングシステムにおいて、ディレイ値の変更を「Type変更」と「LUT変更」のどちらの操作で行うかは、基本的に以下の運用方針で行うこととした。

「Type変更」

ビーム行き先など全体のビーム運転に大きく影響するディレイ値の変更 (行き先毎のタイミング変更、Linacビーム幅設定、イオン源アーク設定、RCS Bminタイミング設定など)

「LUT変更」

全体、及び、他の機器に殆ど影響しないディレイ値の変更 (Linac LLRF FF変更 (電流値により変更)、Linacモニターディレイ値変更 (運転条件により変更) など)

この方針に基づきタイミングのType割当を行った実際の例として、RUN17 (2008.06.11 ~ 2008.07.01) でのtype割当を表2に示す。表からLinac/RCSの運転において、行き先、電流値、Linacビーム幅、Parametersの組合せにより決定される1パターンの運転条件を実現するためには、Typeが3必要であることがわかる (Beam ON、Beam OFF、Beam OFF(2))。このRUNにおいて運転条件は8パターンであり、Typeは24使用された。

ここで、初期システムでRUN17の運転を行い、RMによりLUT変更で行うことが可能になった「LLRF FF変更」と「Linacモニターディレイ変更」もType変更により行ったと仮定する。RUN17でのLLRF FF変更は2パターン、モニターディレイ変更は3パターンであった。これより、初期システムで運転した場合の必要Type数は「RUN17でのtype使用数 (24type) × LLRF FF変更パターン数 (2) × モニターディレイ値変更パターン数 (3) = 144Type」となる。これより、RMの採用により使用するType数を必要最小限 (24/144=1/6) とすることができたと言える。

4. Timing情報の利用

RCSのBeam Position Monitor (BPM)では、タイミングシステムのTiming情報を利用し、行き先毎のBPMデータの提供が可能なシステムを構築した[2]。図2にBPMシステムの概略を示す。

図2において、BPMデータ供給PCは「RCS tagの利用し、同一パルスビームのBPMデータをEPICS waveformとして提供」する。このPCは、さらにTypeの情報を提供し、同じビーム行き先・同一RCstagのデータも提供としている。現在、1) 最新BPMデータ、2) 最新MLF行きBPMデータ、3) 最新MR行きBPMデータ、4) 同一MR周期BPMデータ (1回のMR周期は92ビームである。選択されたMR周期何番目かのビームのBPMデータ) を提供可能としている。ただし、今までのRUNにおいては、MR、MLFの振り分け出射を行ってないため、それぞれの行き先別にデータを提供していることを確認したのみである。近く行われる振り分け出射試験時において、実機での動作確認を行う予定である。

表2 RUN17 (2008.06.11 ~ 07.01)でのType割当

行き先 (条件)	電流値 mA	Linac ビーム幅 ms	Parameters		Type割当 (Type number)				
			IS μ sec	Bmin trig μ sec	Beam ON	Beam OFF	Beam OFF(2)		
RCS	30	0.050	350	0	32	64	96		
RCS		0.100			34	66	98		
Linac	5	0.050	700	0	36	68	100		
RCS		0.100			38	70	102		
MR					40	72	104		
RCS		0.500			700	0	42	74	106
RCS (BM, QM trig -250u)						-250	44	76	108
RCS (BM, QM trig +250u)						250	46	78	110

Beam OFF(2) : ビーム未出力状態。ただし、パルス機器 (RCS Kickerなど) は動作。

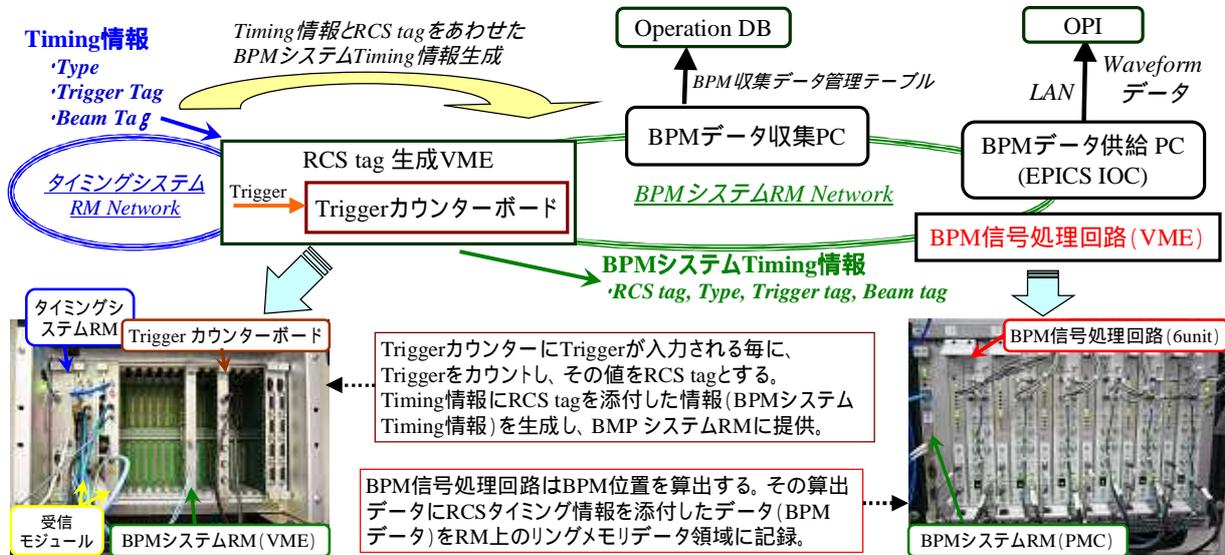


図2 RCS BPMシステムの構成概略

一方、BPMデータ収集PCは「同期した25Hz全ビームのBPMデータの収集」が可能である。ただし、今までのRUNにおいては25Hzでの繰り返し運転は殆ど行われてなく、Single Shot、1Hz、2.5Hz運転など遅い繰り返しが主であったため、30データ/10秒周期で収集していた。25Hz全データ収集についても近く開始される25Hzでのビーム供給運転に合わせて実機での動作確認を行う予定である。

5. まとめ

J-PARC Linac/RCSのタイミングシステムの現状について述べた。タイミングシステムにリフレクティブメモリを採用したことにより、Type使用数の最適化 (必要最小限の使用)、及び、Timing情報の利用を実現した。Typeの最適化については、今後、MR、MLFのコミッションングの本格化し、RCSのMLF、MRの振り分け入射などの運転パターン増加が考えられるが、今までの実績よりTypeが足りなくなる事

態は生じないものと考えている。また、タイミング情報の利用については、MLF、MRの振り分け入射、25Hzビーム供給運転において、その能力の検証を行う予定である。以上より、RMを採用した本タイミングシステムは、今後の様々な運転パターンに確実に対応でき、さらに機器が必要なタイミング情報を提供できるものと考えている。

参考文献

- [1] F.Tamura, et al., "J-PARC TIMING SYSTEM", Proceedings of ICALEPCS2003 in Korea.
URL : <http://icalepcs2003.postech.ac.kr/>
- [2] H.Takahashi et al., "Synchronized Data Distribution and Acquisition System Using Reflective Memory for J-PARC 3GeV RCS", The 11th European Particle Accelerator Conference, Genoa, Italy, June 2008,
URL : <http://accelconf.web.cern.ch/AccelConf/e08/papers/tupp013.pdf>