

## HIGH SPEED DATA ACQUISITION SYSTEM USING FPGA FOR LLRF MEASUREMENT AND CONTROL

Hiroaki Katagiri, Shigeki Fukuda, Toshihiro Matsumoto, Takako Miura, Shinichiro Michizono, Yoshiharu Yano,  
Mitsuhiro Yoshida

High energy accelerator research organization  
1-1 Oho, Tsukuba, Ibaraki 305-0801 Japan

### Abstract

Recently, FPGA technology is widely used for the accelerator control owing to its fast digital processing. One of our recent attractive developments is the high-speed data acquisition system that combines commercial FPGA board ML555 and fast ADC (ADS5474 14bit, maximum 400MS/s and bandwidth of 1.4 GHz). Direct measurements of 1.3 GHz rf signals are carried out with 270 MHz sampling. The direct sampling method can eliminate a down-converter and avoid calibration of non-linearity of the down-converter. These results are analyzed and compared with conventional measurement system.

## LLRF計測制御のためのFPGAを利用した高速データ収集

### 1. はじめに

高エネルギー加速器研究機構の超伝導高周波試験施設 (STF) における低電力高周波源 (LLRF) では、コンパクトPCI をベースとした制御系にてデジタル・フィードバック/フィードフォワードを行うことで、要求される高周波パルス (1300MHz、パルス幅1.5ms) の振幅・位相安定度を確保している。振幅・位相の測定には、コンパクトPCIクレートに組み込まれたFPGAボード (16bit ADC搭載) にミキサにより変換された10MHzの中間周波数信号(IF)を入力しIQ成分を求める方式を採っている<sup>[1]</sup>。

近年のFPGAの高速化、ADCの広帯域・高サンプリングレート化により、さらに高速で動作するデータ収集系の構築が可能となってきている。今回、Texas Instruments 社製 ADC、ADS5474 (14bit, 400MS/s) とXilinx社製ML555ボードとを組み合わせたデータ収集系を構築し、1300MHzのRF信号を直接ADCに入力する方式の試験を行った。ミキサを使わないこの方法と、従来のIF変換方式を比較した結果について報告する。

### 2. 高速データ収集系の構成

FPGAボードML555と、LVDSで接続されたADCボードADS5474とで構成され、両者は外部から供給されるクロック信号に同期して動作する。FPGAボードではADCから取得した生データを内部メモリに蓄積し、平均化などのデータ処理、解析はHost PCで行う (図1)。図2はHost PCのPCI-Express スロットに装着されたFPGAボードとケーブルで接続したADCボードである。

#### 2.1 ADCボード : ADS5474EVM

ADS5474EVM は Texas Instruments 社製 ADC、ADS5474を搭載した評価ボードである。主な仕様は、

14ビット分解能、最大400Mサンプリング毎秒、周波数帯域1.4GHz、出力はLVDSコンパチブルで、SAMTEC QTH-60-02-FDAコネクタを装備する。

#### 2.2 FPGAボード : ML555

ML555はXilinx社FPGA、Virtex5 XC5VLX50Tを搭載したFPGAボードである。2系統のSAMTEC QSE-028-DPコネクタを持ち、各24ペアのLVDS送受信が可能である。このボードを使いADCが出力するデジタルデータを取り組むわけであるが、ADCボードのコネクタとはピン数が異なる。そのため、SAMTECの標準ケーブルと変換基板を介して接続する。図3の左がFPGAボード側、右がADCボード側である。

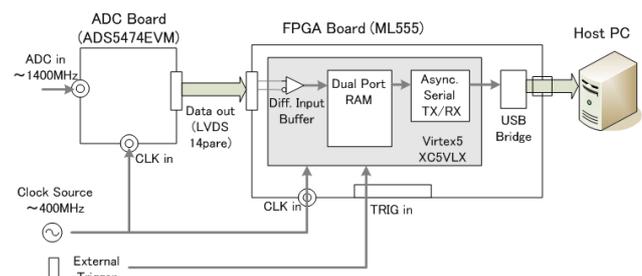


図1 : 高速データ収集系のブロック図



図2 : 高速データ収集系の外観

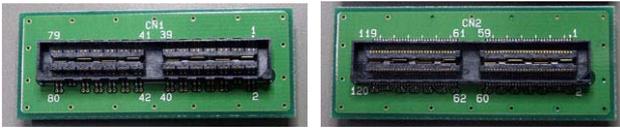


図3：SAMTECコネクタ変換基板

### 2.3 クロック

ADCボードには外部からサンプリング用のクロック信号を供給する必要がある。一方、ML555は数種類の固定発振器とシンセサイザを搭載しているが、ADCのサンプリングと同期させる必要性から外部入力とした。ADS5474の最大サンプリング周波数は400MHzであるが、これはFPGAの動作周波数としては比較的高い部類であり、ADCとの同期を取るためにFPGA内部回路をインプリメンテーションする際にタイミング制約を設定する必要があった。詳細は3.5章で述べる。

## 3 . FPGA内部回路の作成

図4はML555 FPGAの内部回路の構成である。回路の開発には、Xilinx社のFPGA/CPLD開発用統合ツール、ISE 9.2 を使用している。記述言語はVHDL である。

### 3.1 LVDSインタフェース

前述の通りML555は2系統のSAMTEC QSE-028-DPコネクタを装備し、Xilinxのオプションのケーブルでコネクタ同士を接続するとボード単体でLVDS通信を試験することができるよう設計されている。基本的なLVDS送受信回路については、実際にADCを接続する前に上記手法で動作を検証した。

Virtex5はシングルエンド及び差動信号の入出力バッファと信号終端を内蔵し、バンク（入出力信号のブロック）毎に動作電圧レベルを設定できるため、様々な規格のI/O信号を取り扱うことが可能である。

### 3.2 ADCデータ捕捉・保存

捕捉したデータを蓄積するためのメモリは、Virtex5が内蔵するブロックメモリを使用することにした。メモリの設計はISEに含まれるCoreGeneratorで行い、14ビット、131,072ワードのデュアルポートRAMを生成した。ADCのサンプリングが400MHzの場合、蓄積可能なデータ量は327.68μ秒である。

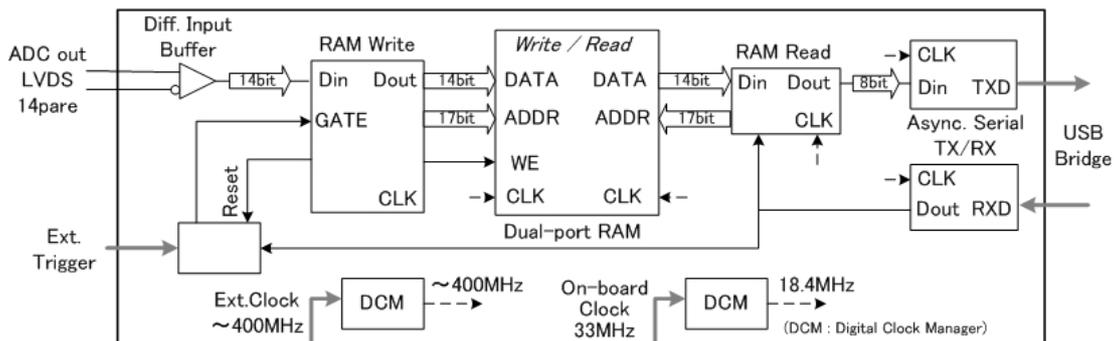


図4：ML555のFPGA内部回路

ADC自体はクロックが供給されている間、常時サンプリングを行い、FPGAにデータを出力する。データの捕捉及び蓄積を開始するタイミングを制御するためにはトリガ又はゲート信号を外部から入力する必要がある。ML555にはオプションのドータボードを接続するためのヘッダーピンがあり、そのうちの2つのピンからLVCMOSレベルのトリガ信号を入力することにした。これらデータ捕捉・保存回路は、以前XtremeDSP（Xilinx社FPGAボード、14ビットADC/DACを各2Ch.搭載）用に作成した回路<sup>[2]</sup>を踏襲、HDLソースコードも流用している。

### 3.3 ホストインタフェース

ML555とホストPCとのデータ通信には幾つかの方法があるが、今回はUSBで接続することにした。ボードにはUSB - UART（非同期シリアル送受信）ブリッジが実装され、開発キットに付属されるドライバをインストールするとホストPC上ではシリアルポートに接続されたデバイスとして認識される。これにより、FPGA上に非同期シリアル通信回路を作成すればホストPCとの通信が可能となる。通信回路はXtremeDSPにLANTRONIX社製イーサネットシリアル通信変換器のXPortを接続した際に作成したシリアル通信回路<sup>[2]</sup>を流用し、開発時間の短縮を図った。主な仕様は、通信速度921.6kbps、データ8ビット、ストップビット1、パリティ無し、フロー制御無しである。

ホストPC上では仮想COMポートを使用し、RS232C通信プログラムを作成する。プログラミングにはLabVIEWを用いており、131,072ワードのデータ取り込みに要する時間は約4秒である。

### 3.4 ADC動作試験

任意波形発生器からADCにサイン波を入力し、ホストPCで取り込んだデータを検証した。200MHzサンプリングで正常動作を確認した後、400MHzに引き上げたところ、規則的なタイミングで幾つかのビットのデータが反転したような挙動を示した（図5上）。ISE9.2のタイミングレポート等から、FPGA内部でのLVDSの個々のペア間で遅延時間のバラつきが大きく、正しいタイミングでラッチされないビットがあるものと推測した。このバラつきが少なくなるようにタイミング制約を設定したところ、図5下の様に正常なデータが得られた。

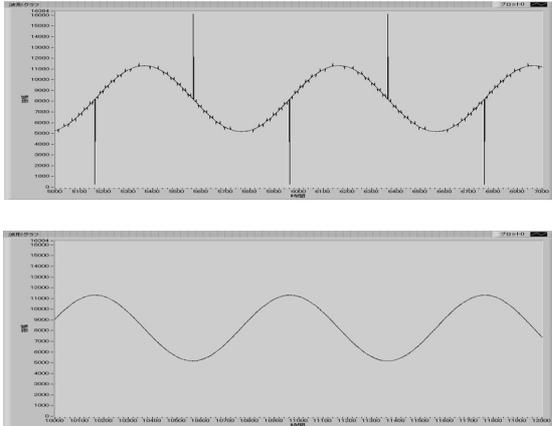


図5：400MHz動作時のタイミング制約設定前の取得データ（上）と設定後のデータ（下）

## 4. STFでのダイレクトサンプリング試験

### 4.1 ダイレクトサンプリングの手法

今回は、この高速データ収集系をSTFの超伝導空洞の電界計測に応用する。従来のIF方式と比較して、ダイレクトサンプリング方式ではミキサは不要となり、その特性に依存した測定エラーは排除される利点がある一方で、IQ成分を求めるためにデータの平均化が必要とされる。そのためADCのサンプリング周波数は1300MHzに同期し、なるべく少ないサンプリング数でIQ成分を得られる値でなければならない。今回の試験では、アナログデバイス社の分周器とIQ変調器を組み合わせることでクロックを生成した<sup>[3]</sup>。得られる周波数は、

$$f = \frac{1}{M} \left( f_0 + \frac{f_0}{N} \right) = \frac{N+1}{MN} f_0 \quad (1)$$

となる。 $f_0$ は入力周波数1.3GHz、M及びNは分周の整数である。この方法で取得したデータは下記の式によりIQ成分に分離できる<sup>[4]</sup>。

$$I = \frac{2}{L} \sum_{k=1}^L x(k) \times \cos\left(\frac{2\pi MN}{N+1} k\right) \quad (2)$$

$$Q = \frac{2}{L} \sum_{k=1}^L x(k) \times \sin\left(\frac{2\pi MN}{N+1} k\right) \quad (3)$$

ここではM=24、N=5（サンプリング周波数270.83MHz）を選択した。この場合L=5、即ち5回サンプリングする毎にRFは24周期進むことになる。

### 4.2 計測結果

STF超伝導空洞から出力されたRFを高速データ収集系で計測した。図6はLabVIEWで取り込んだパルス立ち上がり部分の生データである。FPGA内のメモリ長の制限により、1回に捕捉可能なデータは約480μ秒しかない。図7はトリガタイミングをずらしながら6回に分けてパルス幅全体のデータを捕捉後、IQ成分から振幅・位相に変換したものである。振幅についてはコンパクトPCI系のIF変換方式で計測し

た結果と良く一致している。位相は計測ごとに基準点が異なり連続したデータとはならないが、1回の計測範囲内では安定した結果が得られた。

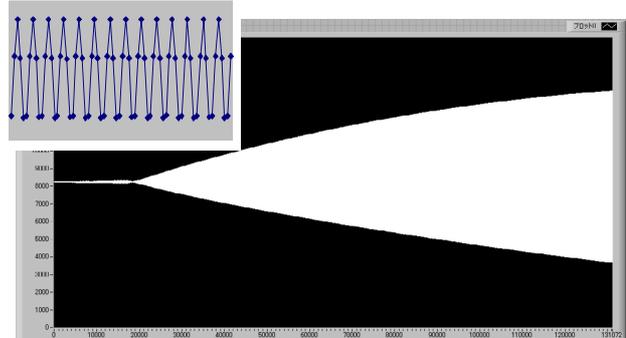


図6：取得した生データと拡大表示

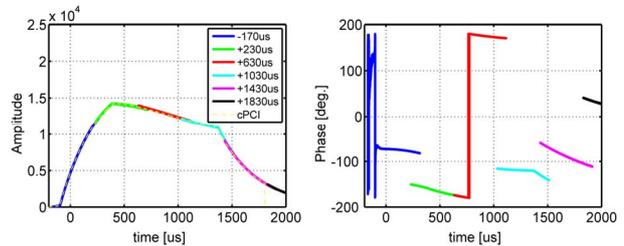


図7：ダイレクトサンプリングで求めた振幅・位相

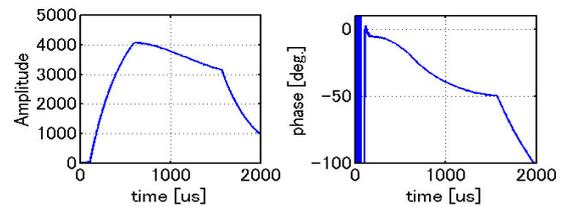


図8：IF変換方式で求めた振幅・位相

## 5. まとめ

ML555とADS5474とで構成される高速データ収集系を構築、実際にSTF超伝導空洞のRF信号を入力してダイレクトサンプリング方式の動作試験を行ない、得られたデータの検証結果から、その有効性が確認された。

今後の予定として、1) 406MHzでのサンプリング、2) ML555の外部メモリを利用したパルス幅全域のデータ捕捉、3) PCI又はPCI-Expressによる高速データ転送、などが挙げられる。

## 参考文献

- [1] S.Michizono, et al., "Performance of LLRF System at STF in KEK", This proceedings
- [2] H.Katagiri, et al., "Evaluation of the FPGA Board for Microwave Measurement and Control", Proceedings of the 3rd Annual Meeting of Particle Accelerator Society of Japan, August 1-3, 2007, Wako Japan, p495-497.
- [3] T.Matsumoto, et al., "Digital Low-level RF Control System using Multi-Intermediate Frequencies", This proceedings.
- [4] S.N.Simrock, "Measurements for low level RF control Systems", Meas. Sci. Technol. Vol.18 (2007) 2320-2327,