

System-on-Chip FPGA を用いた多目的制御ボードの開発 A MULTI-PURPOSE DIGITAL CONTROLLER BASED ON SYSTEM-ON-CHIP TECHNOLOGIES

栗本佳典 *A)

Yoshinori Kurimoto* A)

A)High Energy Accelerator Research Organization

Abstract

J-PARC Main Ring (MR) is a high intensity proton synchrotron which accelerates protons from 3 GeV to 30 GeV. It have operated at a beam intensity of 400 kW and an upgrade toward the megawatt rating is scheduled. For higher beam intensity, some of the accelerator components require more intelligent and complicated functions. Although there are diverse accelerator components, some functions are common. To utilize such common functions, we developed multi-purpose digital boards using a System-on-Chip (SoC) FPGA. In the SoC FPGA, a processor, memory controllers, peripherals and FPGA are integrated in a single IC chip. Using the SoC FPGA, the FPGA block can be used for functions specific to the accelerator components while an operating system can be executed in the processor for communication from the components to a network. In this paper, we describe the details of our developed boards as well as two actual applications for J-PARC MR.

1. はじめに

大強度陽子シンクロトロン J-PARC Main Ring (MR) は最大 400 kW 超のビーム強度での利用運転を実現している。しかし、長基線ニュートリノ振動実験 T2K でのレプトン CP 対称性の破れの発見感度の国際競争力を維持するためには、さらなるビーム増強が必要不可欠である。このような要求を満たすためメガワット級のビーム強度へのアップグレード計画が進行中である。

上記の理由で現行ビーム強度は依然として十分でない一方で、我々はこの数年で劇的にビーム強度を上げることに成功している [1]。現行のビーム強度を達成するために種々の機器の性能向上が必要であったが、それらのうちいくつかに関しては、より複雑な機能を機器に持たせることによって実現した。例えば、主電磁石電源の制御システムに出力電流偏差を補正するための制御ループおよび補正值テーブルを格納する大容量メモリを追加した [2]。これにより加速時間を短縮する調整がシステムティックになりビーム強度の増強に貢献できた。他の例としては、横方向のビーム不安定抑制装置の対象をバンチ重心の振動からバンチ内の局所的振動まで拡大したことが挙げられる [3]。これはデジタル回路のサンプリング周波数を上げることで実現したが、このアップグレードも現行のビーム強度達成のために必要不可欠なものであった。今後更なるビーム増強を目指す J-PARC では、類似の性能向上が将来的にも必要とされることは容易に想像がつく。

これらの例は一見全く異なるが、デジタル IO ポート、フィードバックコントロール部および外部機器との通信など共通する点も多く、これらの共通した部分のハードウェアを信頼できるリソースとして J-PARC 側で持つことができれば、コスト面および管理面でアドバンテージは大きい。そのような動機から我々は System-on-Chip (SoC) FPGA を用いた多目的のデジタルボードの開発を

行ってきた。SoC FPGA では、プロセッサ、メモリコントローラ、周辺機器（イーサネット、シリアルポートなど）と FPGA が一つの IC チップに統合されている。この SoC FPGA を使えば、FPGA ブロックに機器特有の機能を、プロセッサには OS を実行し外部とのコミュニケーションサーバとしての機能を、それぞれ持たせることが可能である。

本報告では、2. 章でボードの詳細を述べたあと、3. および 4. 章で J-PARC での本ボードの使用例を挙げ、最後に 5. 章でまとめとする。

2. SOC FPGA ボードの詳細

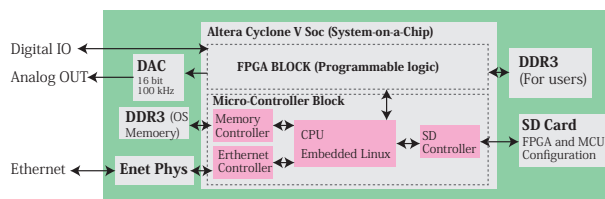


Figure 1: Conceptual block diagram of the developed board.

2.1 概要

開発したボードのブロック図および写真をそれぞれ Figure 1 と Figure 2 に示した。1. 章で述べたように、本ボードの高度機能 IC として、プロセッサ、メモリコントローラ、周辺機器（イーサネット、シリアルポートなど）と FPGA が一つに統合された System-on-chip (SoC) FPGA を採用した（今後、前半のプロセッサ、メモリコントローラおよび周辺機器の部分はまとめてマイコン部と呼ぶこととする）。選定した SoC FPGA の詳細は 2.2 章で述べる。本ボードは多目的の多数のデジタル IO ポートと 4ch のアナログ出力を搭載し、個々の SoC FPGA の設定は SD カードもしくはオンボード

* kurimoto@post.j-parc.jp

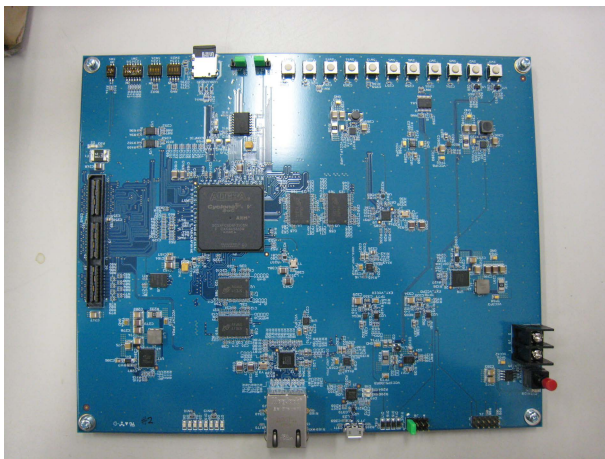


Figure 2: Picture of the developed board.

フラッシュメモリからロードされる。また、一つのギガビットイーサネットポートも搭載しており、ネットワーク経由でのコミュニケーションも可能である。

2.2 SoC FPGA

我々は SoC FPGA としてアルテラ社の Cyclone V SX Soc ファミリの 5CSXC6 を採用した。本 IC の FPGA 部には、ALM (active logic modules) 41509 個、内部メモリ 5570 Kb、可変精度 DSP ブロック 112 個および 288 の多目的 IO ポートが、マイコン部にはデュアルプロセッサコア (ARC Cortex-A9 MPCore) およびハードメモリコントローラ等がそれぞれ搭載されている。更なる詳細はアルテラのウェブサイトですぐ入手可能である [4]。

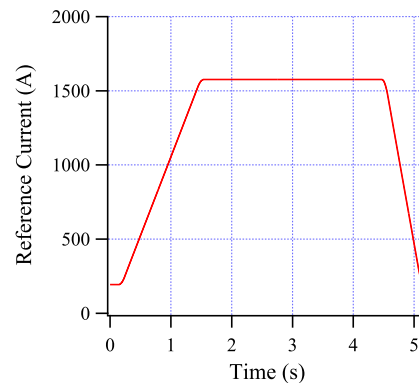
FPGA 部 FPGA 部には各機器に特有の機能が実装されることを想定しており、特に電源制御、ビーム位置フィードバックおよびローレベル RF などのリアルタイム制御に適している。これは、FPGA 部では機能はハードウェア回路として実装され、スループットやレイテンシーなどのタイミング特性が見えやすいことが理由である。

マイコン部 マイコン部では Linux オペレーティングシステム (Linux) 実行することを想定しており、マイコン部に接続された DDR (Double Data Rate) 3 メモリが OS 展開用に使用される。その OS 上でコミュニケーションサーバを滞在させ、FPGA 部に実装された機能の起動停止などの指令、パラメタ変更および状態のモニタをネットワーク経由で可能にする。

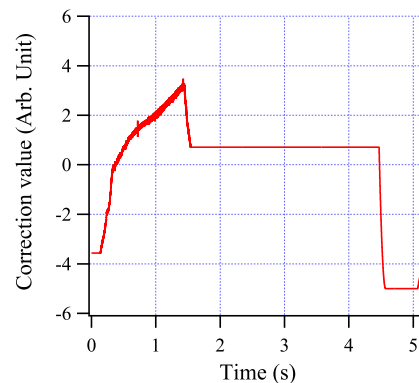
2.3 ユーザーメモリ

上記に加えて、本ボードは 1GB DDR3 をユーザーメモリとして搭載している。J-PARC MR のような比較的遅い繰り返し周期 (最短で 2.48 秒) のシンクロトロン加速器では、自由に使える大容量のメモリ領域は非常に有用である。シンクロトロン加速器では、粒子加速の進行と同期して、種々の機器の状態を変化させる必要がある。例えば、偏向、四極および六極磁石のような主電磁石に流す電流は粒子の運動量と比例関係を保

つように制御しなければならない。したがって、主電磁石電源の制御システムが格納しなければならない電流基準値は一つではなく数のテーブルとなる。さらに、J-PARC MR のような大強度加速器ではより高精度の電流制御が要求されるため電流偏差を繰り返し補正することになるが、この補正値も一つではなくテーブルとなる。例として、J-PARC MR の偏向電磁石電源での電流基準テーブルおよび補正値テーブルを Figure 3a と 3b にそれぞれ示した。電流基準値および補正値は分解能 20 ビット、更新レート 100 kSPs で最大 6 秒間必要であり、各テーブルあたり 1.5 MB となる。以上が大容量ユーザーメモリが有用な理由である。



(a) The reference current of the power supply for bending magnets in J-PARC MR.



(b) The correction values of the power supply to eliminate the tracking error of the current to its reference.

Figure 3: The time-dependent values used for the power supply in J-PARC MR.

3. アプリケーション例 1-加速途中のベータ関数測定 -

3.1 測定の動機と原理

ベータ関数はリング中の各位置の水平方向のビームサイズを決める重要な値で、リング内の四極磁場による収束力の分布で決定される。J-PARC MR では、加速初期におけるビームロスが最も大きく、そういった過渡期の光学パラメタを測定し補正することが急務であった [5]。シンクロトロンにおける単粒子の線形水平方向

運動 x (ベータトロン振動) は以下のように表せる。

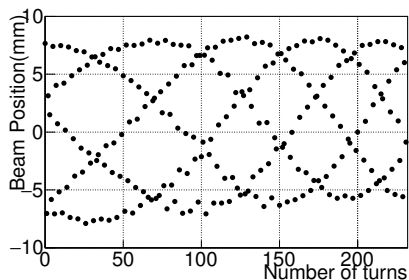
$$x = \sqrt{\beta(s)\epsilon} \cos[\phi(s) + \phi_0] \quad (1)$$

ここで、 s はビーム軸方向の位置、 $\phi(s)$ はベータトロン位相、 ϵ と ϕ_0 は定数、そして $\beta(s)$ はベータ関数である。この式より、加速途中の任意の時刻にベータトロン振動を励起できれば $\beta(s)$ を抽出できることが分かる。

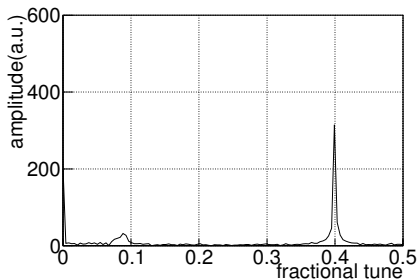
3.2 実験セットアップ

本実験のセットアップを Figure 4 に示した。この実験では、本ボードを任意のタイミング、振幅および周波数の信号発生装置として利用した。本ボードで発生した信号は RF アンプで増幅されストリップラインキッカーに送られる。そのキッカーによるビーム振動を全周に設置されたビーム位置モニタで測定し $\beta(s)$ を抽出する。なお、効率よく振動を励起するためには信号の周波数はベータトロン周波数またはその高調波と同じでなければならないため、本ボードの基準クロックは RF クロック (約 1.7MHz) を 64 通倍 (約 109MHz) したものをを使用した。また、本ボードの特性を生かし、周波数、振幅、信号発生および停止タイミングをネットワーク経由で変更できるようにコミュニケーションサーバを構築した。

3.3 実験結果



(a) The betatron oscillation measured turn by turn at the one of the BPMs.



(b) The FFT amplitude of Fig. 5a.

Figure 5: The signals of one of the BPMs.

Figure 5a にビーム位置モニタで検出したビーム位置の時間変化 (ベータトロン振動) を示した。この波形を FFT 変換し、そのスペクトル (Figure 5b) のベータトロン周波数成分を振動の振幅とした。また、Equation 1 から分かるように振幅には定数 ϵ による不定性がある

ので、シミュレーションモデルを使用して以下のように規格化した。

$$\frac{\sum_{i=1}^{N_{BPM}} \beta_{i,model}}{\sum_{i=1}^{N_{BPM}} \beta_{i,meas.}}, \quad (2)$$

ここで N_{BPM} はビーム位置モニタの台数 (189)、 $\beta_{i,model}$ と $\beta_{i,meas.}$ はそれぞれモデルと実測の i 番目のビーム位置モニタにおけるベータ関数である。この様にして求めた加速途中 8.2 GeV/c 時 (MR 最大運動量 30.924 GeV/c) の全周のベータ関数を Figure 6 に示した。奇数行のグラフは計測したベータ関数 (水平、鉛直方向)、偶数行はそのモデルからのずれを示す。グラフがそれぞれ 3 つに分かれているのは、J-PARC MR の Super Cycle Number が 3 で、3 つのグラフのデザイン値は同じだからである。さらに、この測定結果を各四極

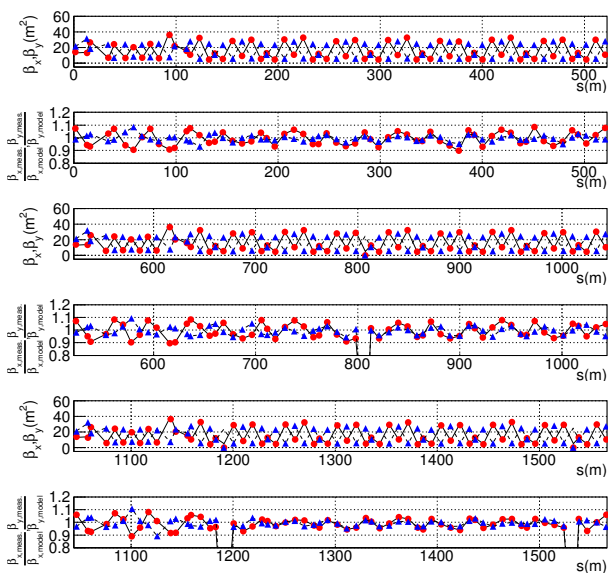


Figure 6: The first, third and fifth plots shows measured betatron amplitude functions of J-PARC MR. The second, fourth and sixth plots describe the fractional deviation of the measurement values from the simulation model. The circles correspond to horizontal betatron function and the triangles corresponds to those of vertical.

電磁石の補正量をパラメータとしたモデルでフィッティングした。そして、得られた補正量を実際に適用し再度測定を行った。その結果を Figure 7 に示した。モデルと実測のずれが大幅に改善していることが分かる。この測定により加速途中のビーム損失対策が可能になり 400 kW 超のビーム強度実現に貢献した。また、この用途のように RF 信号と同期した信号を出力しビームを効率的に励起できたという事実は、本ボードの LLRF 系やビーム不安定抑制措置への応用の可能性も意味している。

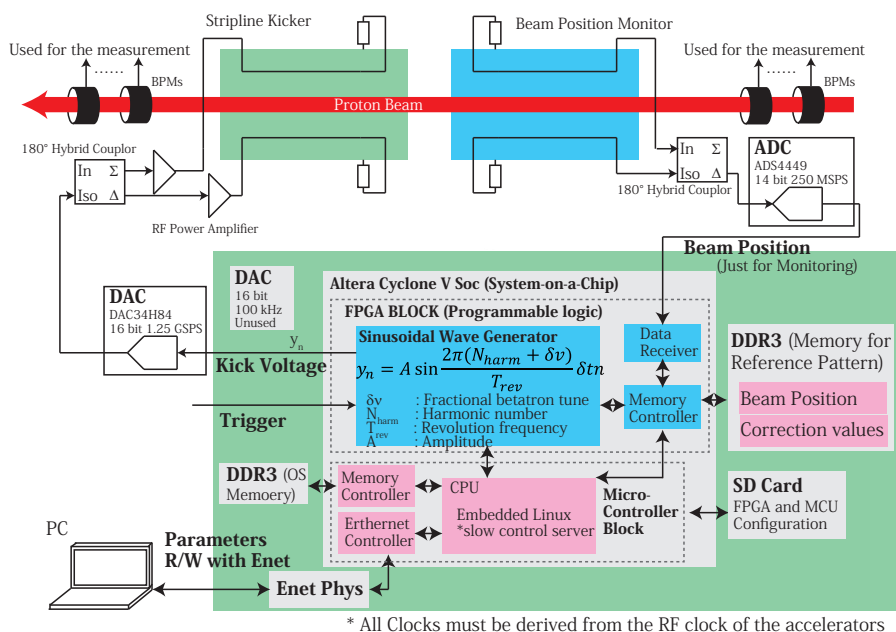


Figure 4: Experimental setup for the betatron amplitude function measurement in J-PARC MR.

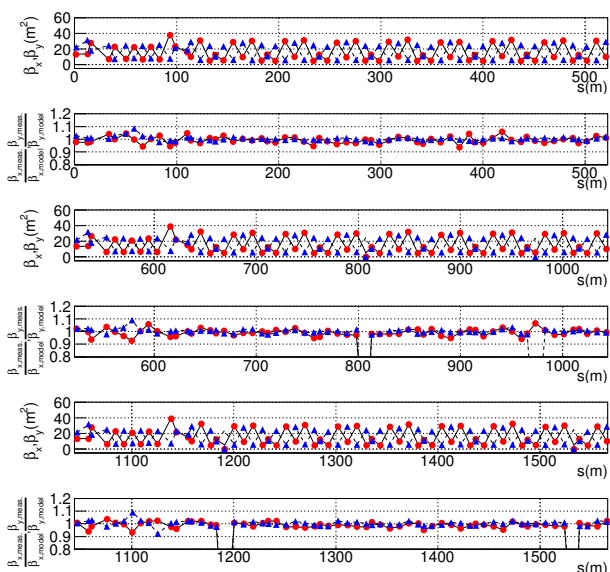


Figure 7: The first, third and fifth plots shows measured betatron amplitude functions of J-PARC MR after beam optics correction. The second, fourth and sixth plots describe the fractional deviation of the measurement values from the simulation model. The circles correspond to horizontal betatron function and the triangles correspond to those of horizontal.

4. アプリケーション例 2-電源用指令値格納ボード-

4.1 動機

2.3 章で述べたように、J-PARC MR では機器に与える指令値や補正量を時間変化するテーブルにしなけれ

ばならない場合が多いが、安価にその目的が達成できる機器が存在しなかった。そのため、市販のファンクションジェネレータで代用するか、電源メーカーからテーブル格納ボードも含めて手配していた。しかしながら、前者のファンクションジェネレータの場合は安価なものは出力波形の種類や長さに限界があり、後者の電源メーカー製の場合は高額となる上に容易な改修が困難であるという問題がそれぞれ存在する。本ボードはテーブル格納および出力（アナログ、デジタル両方）機器としても使用することを設計段階から念頭において開発した。このボードは電圧指令値テーブル格納および出力ボードとして今年度夏インストール予定の入射セプタム電源 [6] に搭載され、さらに今年度から予算措置が開始された新主電磁石電源にも搭載予定である。

4.2 ファームウェアおよびソフトウェア構成と性能

Figure 8 は新主電磁石電源に電圧指令値テーブル格納および出力ボードとして本ボードが使用されるときにファームウェアおよびソフトウェア構成を示した。この構成では、現行主電磁石電源に搭載されているメーカー製ボードの機能であるデジタル値のテーブル格納および出力に加えて、電源システムから実電流、電圧、電流偏差および PWM 指令値などのモニタ波形情報をデジタル値で取得、格納および上位システムへ転送する機能を追加した。これを達成するため、ユーザーメモリとデータ送受信部に 32bit ワード数 2048 分の FIFO バッファ、およびユーザーメモリと OS 用メモリ間に DMA(Direct Memory Access) コントローラを設けた。主電源の指令値出力更新レートは約 100 kHz であるため、FIFO メモリが空になるまでの約 20 ms の間にモニタ波形データを OS 用メモリに DMA 転送することで、OS 上のコミュニケーションサーバで取扱い可能となるようにした。最低でも 10 kSPs 32bit のモニタデータが

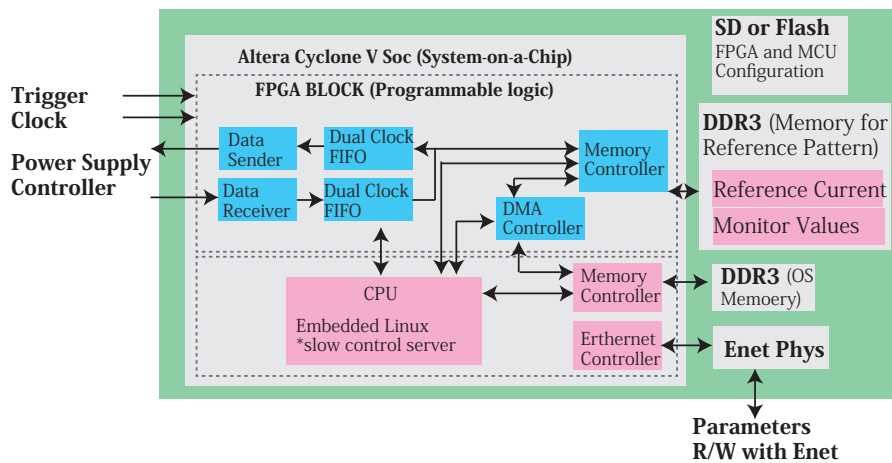


Figure 8: The firmware and software configuration by which the reference current values are stored and transferred to their power supplies.

10 秒分取得可能なことを確認した（主電源のような遅い応答の電源ではモニタ波形データは 10 kSPs で充分である）。

5. まとめ

J-PARC MR ではビーム増強のため、今後も種々の機器のアップグレードが計画されている。加速器では機能の異なるさまざまな機器が存在するが共通部分も多い。我々はそのような共通部分のみを J-PARC MR 内で汎用化するために SoC FPGA を心臓部の IC として搭載した多目的のデジタル IO ボードの開発を行った。実際に本ボードは J-PARC MR の性能運用上急務であった加速途中のベータ関数測定のためのベータatron 振動励起用に使用されビーム増強に大きく貢献した。また、全く別の用途である電流指令値格納および出力ボードとして入射セプタム電源に搭載され、今年度から予算措置が開始された新主電磁石電源にも搭載予定である。

謝辞

加速途中ベータ関数測定にあたり仲村佳悟氏、佐藤洋一氏、原田寛之氏、外山毅氏、五十嵐進氏、久保木浩功氏には測定準備やデータ取得および助言等多にお世話になりました。ここに感謝の意を表します。さらに加速途中ベータ関数測定は MEXT 科研費 26105518 新学術領域研究「ニュートリノフロンティアの融合と進化」及び特別研究員奨励費の助成を受けたものです。また、ボード開発におけるユニバーサルエンジニアリング佐川隆氏の開発補助にも感謝の意を表します。

参考文献

- [1] Y. Sato *et al.*, Recent commissioning and prospect of high power beam operation of the J-PARC Main Ring, in: Proceedings of the 12th Annual Meeting of Particle Accelerator Society of Japan, Tsuruga, Japan, 2015, pp. 488–491.
- [2] S. Nakamura *et al.*, Tracking-error reduction with a learning control of Main Magnet Power Supplies in J-PARC MR, in:

Proceedings of the 11th Annual Meeting of Particle Accelerator Society of Japan, Aomori, Japan, 2014, pp. 688–690.

- [3] K. Nakamura *et al.*, Performance Evaluation of the Intra-Bunch Feedback System at J-PARC Main Ring, in: Proceedings of IBIC2014, Montoery, CA, USA, 2014, pp. 727–730.
- [4] <https://www.altera.com/> (accessed: 2016-02-10)
- [5] K. Nakamura, Y. Kurimoto, Measurement betatron amplitude function during acceleration in j-parc main ring, in: Proceedings of the 12th Annual Meeting of Particle Accelerator Society of Japan, Tsuruga, Japan, 2015, pp. 958–962.
- [6] T. Shibata *et al.*, The development of new injection septum magnet for upgrade of j-parc mr, in: Proceedings of the 12th Annual Meeting of Particle Accelerator Society of Japan, Tsuruga, Japan, 2015, pp. 115–119.