

Zynq 搭載 MTCA.4 準拠の A/D・D/A ボード

MTCA.4 FPGA(ZYNQ) A/D・D/A BOARD

漁師 雅次^{#A)}, 岩城 孝志^{A)}, 田尻 敬一^{A)}, 出口 久城^{A)}, 林 和孝^{A)}, 松本 隆太郎^{A)}, 水野 隼一^{A)}
Masatsugu Ryoshi^{A)}, Takashi Iwaki^{A)}, Keiichi Tajiri^{A)}, Hisakuni Deguchi^{A)}, Kazutaka Hayashi^{A)},
Ryuutaro Matsumoto^{A)}, Junichi Mizuno^{A)}
^{A)} Mitsubishi Electric TOKKI Systems

Abstract

We developed a new A/D-D/A board that is conforming to the MTCA.4 standard and μ RTM zone3 IO connector assignment Class A1.1 recommended DESY. Our present MTCA.0 A/D-D/A board is single-width full-size. Narrow face plate is not enough space for IO connector and cable. Virtex5-FXT with embedded PowerPC 440 processor, along with the sophistication of the control algorithm, the processing speed of the internal CPU bus and logic has become a bottleneck. Newly developed A/D-D/A conversion board, has become the input and output can be the structure of the RTM and the analog signal through Zone3 connector. Therefore, cable-less, and miniaturization becomes possible by implementing a down-converter and the filter circuit to the μ RTM. An RF signals input from the Zone3 connector by A/D conversion is input to the FPGA. It outputs an FPGA output D/A conversion to an analog signal to Zone3 connector. We use FPGA "Zynq" is embedded an ARM Cortex-A9. To achieve a high degree of signal processing by the combination of real time processing by the flexible signal processing and logic by the CPU. New board is implemented EPICS IOC under and embedded Linux on Cortex-A9, too. In New A/D-D/A board, we realize the processing capacity improvement of the accelerator control and monitor circuit such as LLRF and BPM.

1. はじめに

現在、Figure 1 に示した MTCA.0 規格に準拠した A/D・D/A 変換 FPGA ボードが、KEK のいくつかの加速器において、LLRF フィードバック制御、チューナー制御、軌道フィードバック制御 BPM、基準信号伝送線路制御等で使用されている^[1-8]。

MTCA の拡張規格である MTCA.4 は、MicorTCA Enhancements for Rear I/O and Precision Timing として策定された。主な特長は、MTCA Double-width (148.5*28.85*181.5 [mm]) と同等の基板面積をもつ μ RTM (Rear Transition Module) を使うことができ、前面のボードと Zone3 のコネクタ経由で信号の入出力ができることである^[9]。

私たちも、FMC (FPGA Mezzanine Card) が 2 枚拡張できる MTCA.4 規格に準拠した新しい制御ボードを開発した^[10]。このボードに対応させた μ RTM には光通信用の SFP モジュールおよび Gigabit-Ethernet の PHY 回路、デジタル IO を実装してデジタルインタフェースを拡張できるようにした。まず、Figure 2 に示した 10ch の A/D と 2ch の D/A を実装した Double-width FMC を組合せて STF2 LLRF フィードバック制御ユニットに適用した。次に、12ch の D/A を実装した Double-width FMC を組合せて SuperKEKB 軌道フィードバック電磁石電源制御ユニットに適用した。現在、KEK にて評価が進められている。

現在、高周波回路は、別途 19inch ラックにマウントできるユニットが使われており、その間を複数の同軸ケーブルで接続している。今回、システム全体の省配線、小型化を実現するために、 μ RTM に高周

[#]ma-ryoshi@west.melos.co.jp

波回路を実装するための A/D・D/A 変換ボードを新たに開発した。

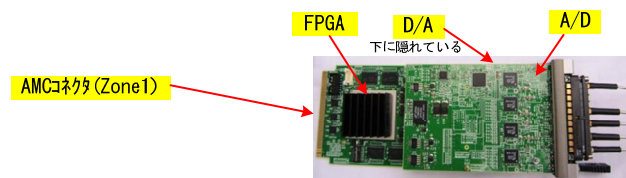


Figure 1: MTCA.0 A/D, D/A Board.

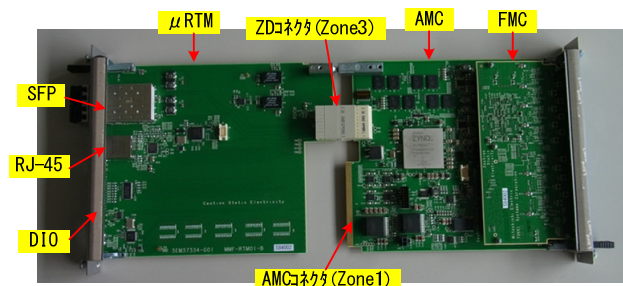


Figure 2: MTCA.4 A/D, D/A Board.

2. MTCA.4 ClassA1.1 準拠の A/D・D/A 変換ボード

2.1 MTCA.4 の RF バックプレーンの状況

毎年 MTCA ワークショップを DESY が主催しており、その中で各社ボードの相互接続確認テストがされている。現在、前面のデジタル信号用のバック

プレーンとは別に、 μ RTM用の背面からアクセスできるRFバックプレーンの開発が進められている。また、Euro-XFELなどでMTCA.4を、LLRFなどへ適用が進められている^[1]。

例えば、LLRFのフィードバック制御システムの場合、 μ RTMの基準信号発生モジュールに加速器のリファレンス信号を入力して、PLL等でLO信号およびサンプリングクロック信号を生成する。これらをRFバックプレーン上の配線を使ってダウンコンバータ μ RTMへ伝送する。ダウンコンバータモジュールではパネル面から入力される各ピックアップからのRF信号をIF信号に変換して、Zone3のコネクタ(ZDコネクタ)を介して伝送され前面のAMCに実装しているA/D変換回路でデジタル化される。その後、同じAMC上のFPGAで信号処理をするもしくは、別のCPU-AMCで演算処理をしてD/A変換したベースバンドIQ信号をZone3経由でアップコンバータの μ RTMへ入力しパネル面からRF信号を出力する。そして、アンプを経由してクライストロンをドライブする。

2.2 新しいA/D・D/Aボードの構成

私たちが開発した新しいボードをFigure 3に示す。MTCA.4の広いRTMにRF回路を実装して利用するために、DESYが推奨しているZone3のコネクタピンアサイン「ClassA1.1」を採用した。

私たちが以前開発したMTCA.4規格準拠のFMCキャリアボードと同じSoC FPGA「Zynq」を採用して開発期間の短縮を図った。2つのFMCを実装できる機能をなくした代わりにA/D・D/A変換ICを直に実装した。FPGA内蔵のCPU(ARM Cortex-A9)で使うワークメモリ(DDR3-SDRAM)は1GiBであり、ブートメディアは、SD CardおよびQSPI Flash ROM

を実装した。FPGA内のロジック回路から直接制御できるメモリ(DDR3-SDRAM)も1GiB実装した。前面パネルには、離れた場所のユニットと高速光通信できるようにSFPモジュールを2つ実装した。バックパネルに接続されるAMCコネクタにはGigabit EthernetとPCI Express \times 4用の高速シリアルインタフェースを接続した。諸元をTable 1に、機能ブロックをFigure 4に示す。

A/D・D/Aボードの単体性能評価ができるように、ダウンコンバータや帯域制限フィルタ機能のある μ RTMの代わりに、パネル面の同軸コネクタからRF信号を入力し平衡信号に変換後、Zone3のコネクタに接続する延長ボードを準備した。

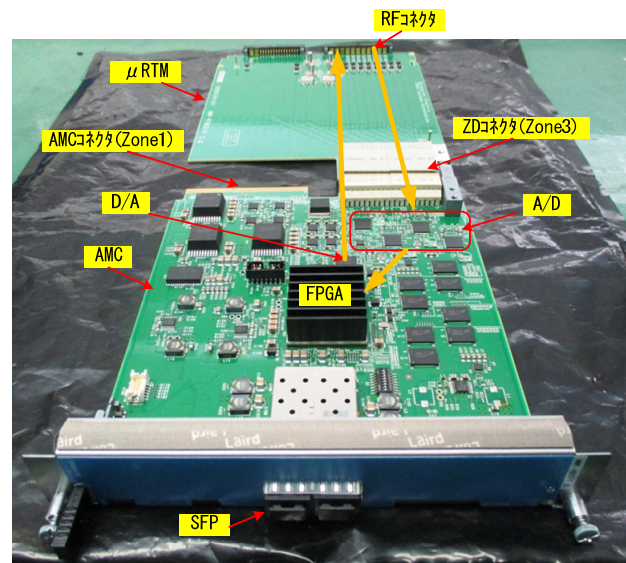


Figure 3: MTCA.4 A/D, D/A Board Zone3 Class A1.1.

Table 1: Specifications of New Control Board

FPGA	Zynq XC7Z045-1FFG900C
OS	Xilinx Linux (EPICS-IOC)
RAM	DDR3-SDRAM 1GiB \times 2 (PL, PS)
FPGA Configuration	QSPI FLASH-ROM 16MiB, SD Card, Remote Update
ADC	8ch, 16bit, 370MSPS max., BW 800MHz
DAC	2ch, 16bit, 500MSPS max.
Zone1 (AMC Connector)	Port[0:1]:1000BASE-BX, Port[4:7]: PCI Express Gen2 Port[17:20]:M-LVDS, IPMB: IPMI v1.5 support
Zone3 (ZD connector)	Class A1.1(RFin \times 8ch,DCout \times 2ch,CLKin \times 1,DIO \times 6pair,TCLKout)
SFP	2ports
Switch	8bit DIP-switch
Front Panel LED	Hot swap status (blue), Error status (red), Running status (green)
Size	PCIMG MTCA.4 Double-Width Full Size 148.5*28.95*181.5 [mm]

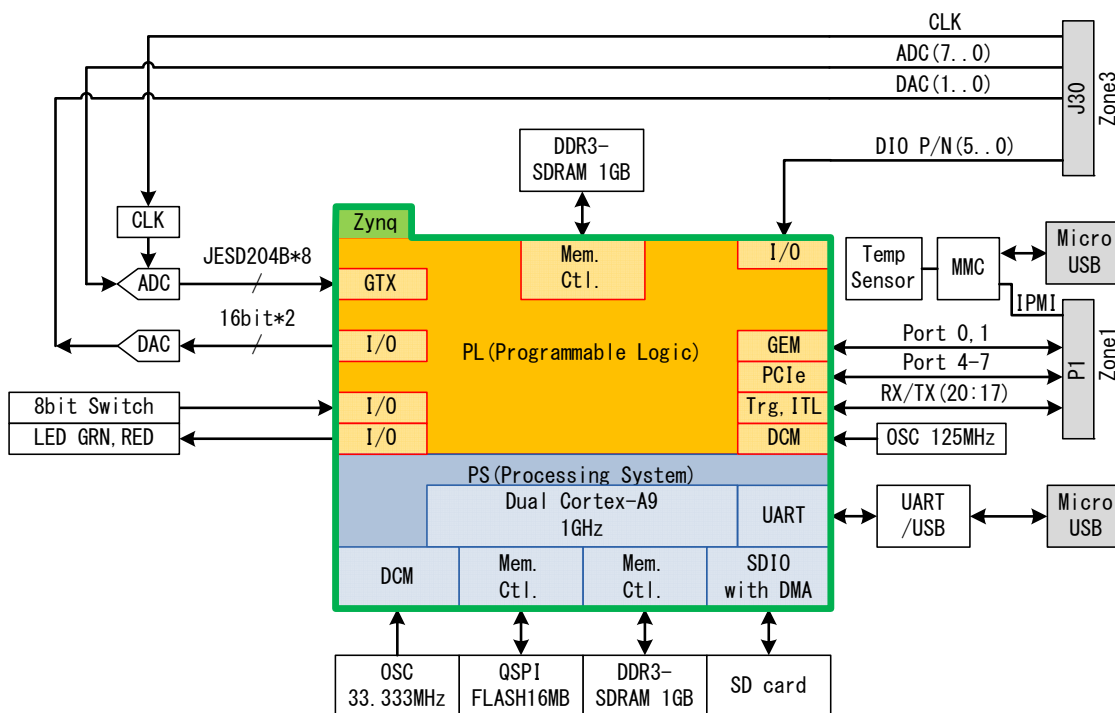


Figure 4: Block Diagram of new A/D, D/A board.

2.3 MTCA.4 Zone3 ClassA1.1 のピンアサイン

MTCA.4 規格のカードにおける Zone3 推奨コネクタのピンアサイン Class A1.1 は次のとおりである。

Analog signal transmission zone:

- 10 channel AC-coupled differential input signals
- 10 channel DC-coupled differential input signals
- 5 channel DC-coupled differential output signals

Digital clock signal transmission zone:

- 6 AC-coupled differential inputs for low-jitter clock signals

User signal transmission zone:

- 6 LVDS inputs / outputs for user-configuration
- 3 LVDS outputs with fixed output direction
- Optional dual high-speed link

私たちの新しい A/D・D/A ボードでは、推奨ピンアサインの内、AC カップルの差動入力を 8ch、DC カップルの差動出力を 2ch、AC カップル差動クロック入力を 1ch、LVDS 入出力を 6ch、別途 TCLK 出力を接続した。これは、FPGA の外部ピンリソースの関係上必要最低限に集約したためである。

2.4 JESD204B 出力の A/D 変換デバイスの採用

A/D・D/A 変換デバイスのサンプリング周波数が速くなり、パラレル信号ではデジタル入出力のサンプリングクロックとのタイミング調整が難しくなってきた。そのため米国の標準化団体 JEDEC にて、パラレルシリアル変換の符号化方式 8B/10B を利用した伝送方式 JESD204B が策定された。これにより、8B/10B デコーダによるクロックデータリカバリーで

データサンプリングのタイミングが保証される。また、シリアル化により信号線数を削減できることで実装面積を小さくすることができる。

今回採用した A/D 変換 IC は JESD204B エンコーダを使ってデジタルデータを出力する、入力側の FPGA には JESD204B デコーダをインプリメントした。設計期間を短縮するために JESD204B デコーダは、Xilinx 製の IP コアを採用したが、ここで少し問題が発生した。

Xilinx の開発ツールには従来から使われている ISE と新しい VIVADO の 2 種類があり、それぞれのツールに対応したバージョンの IP コアがある。IP コアを利用した設計では、パラメータ設定用の Wizard に従い進めていく。ISE 用に比べて新しい VIVADO 用の IP コアは、設定できる項目が増えていた。A/D 変換 IC の JESD204B のパラメータに合わせて、まず使い慣れた ISE で設計を始めた。FPGA のコンフィグレーションデータを作成して、実機で動作確認を行ったが、正常に A/D 変換 IC の出力を FPGA で取り込めなかった。次に、VIVADO 用の IP コアを使って設計したところ、実機にて正常に取り込むことができた。

動作の違いが出た理由を探るために、Wizard 操作にて自動生成された ISE 用と VIVADO 用のソースコードを詳しく調べた。FPGA の高速シリアルインタフェースのハードブロックである GTX に与える動作クロック用の設定が異なっていることが分かった。新しいボードの回路構成を踏まえ ISE 用のソース内の動作クロック用の設定をハンドコーディングで修正した。その結果、ISE 用の IP コアでも正常に A/D 変換 IC の出力が取り込むことができた。

3. 性能評価

Figure 5 に示した構成で BPM (Beam Position Monitor) 用のデジタル信号処理を実装して性能評価をした。

RF 周波数を 507MHz、サンプリング周波数を 4/13 の 156MHz として 2 台の SG を同期させて入力した。FPGA の論理回路で、IQ 変換した後、3 段のデシメーションにより狭帯域化した。性能評価時には、3 段目の FIR フィルタ後のデシメーション前のデータを使って、フィルタの周波数特性を確認できるようにした。まずは、常温にて短期安定度を 4ch の ΔZ で評価することとした。

データの取得は、Xilinx 製 FPGA のデバッグツールである Chipscope Pro を使って、特定の 1ch のデータを使い、振幅の %RMS にて評価した。その結果を Figure 6 に示した。目標よりも悪い -88.1[dB] だった。そこで、FFT 変換してスペクトラムを確認したところ、Figure 7 のように $\pm 2\text{kHz}$ 程度の範囲に -100dBFS 程度のスプリアスがみられた。 $\pm 2\text{kHz}$ は、3 段目の FIR フィルタの帯域幅で、入力信号に -100dBFS 程度のスプリアスがあるということと考えられる。このスプリアスを抑えることで、性能の改善が見込まれるため、今後原因を探っていく。

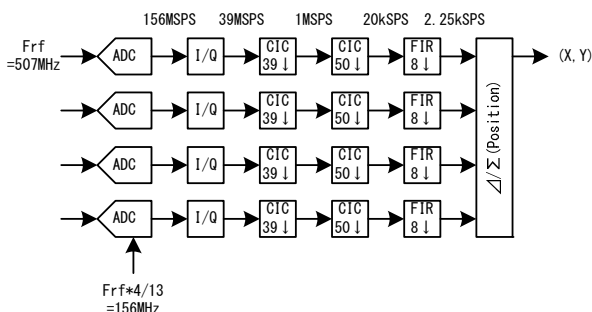


Figure 5: Digital down convert block diagram.

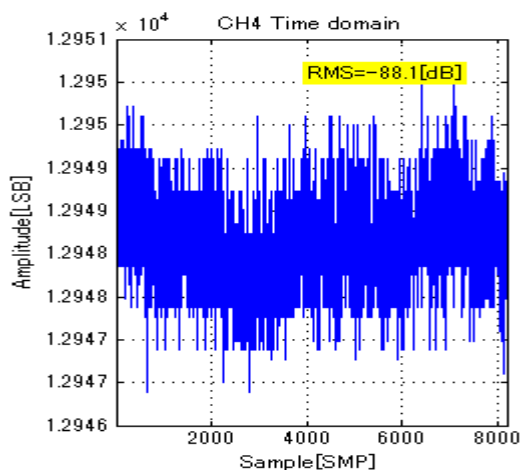


Figure 6: Amplitude after filtering.

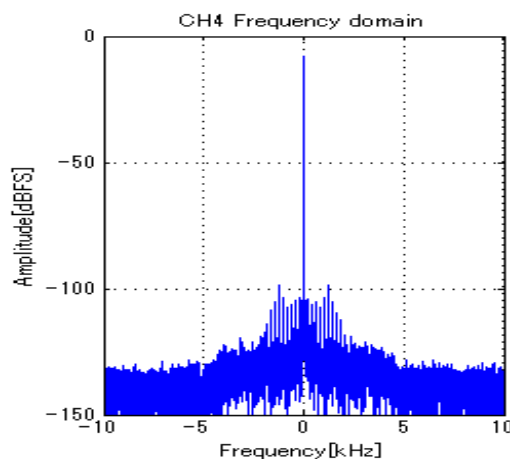


Figure 7: FFT spectrum after filtering.

4. まとめ

MTCA.4 ClassA.1.1 に準拠した A/D・D/A ボードを開発した。本ボードには、サンプリング周波数最大 370MSPS まで対応している A/D 変換デバイス 8ch と高速 D/A 変換デバイス 2ch を搭載し、SoC FPGA「Zynq」による、高速で強力なロジック処理と、Linux(EPICS)組込による柔軟な CPU 処理を提供する。現在、A/D 変換のサンプリング周波数を上げられるように回路の調整中で、併せて振幅安定度の改善中である。改善の後に、実際の加速器のビームをモニタする機会を持ち、そこで出た本ボードの課題の改善を計画している。将来、RF フロントエンドを実装した μ RTM ボードと組合せた MTCA.4 の加速器制御システム (LLRF、BPM 他) の展開を図っていく。

参考文献

- [1] M. Ryoshi et al., "LLRF Board in Micro-TCA Platform", Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, Himeji, Aug., 2010.
- [2] T. Miura, et al., "Digital feedback system using μ TCA for DRFS", Proceedings of the 8th Annual Meeting of Particle Accelerator Society of Japan, Tsukuba, Aug. 1-3, 2011.
- [3] M. Omet, et al., "Development and Application of a Frequency Scan-based and a Beam-based Calibration Method for the LLRF Systems at KEK STF", Proceedings of the 9th Annual Meeting of Particle Accelerator Society of Japan, Osaka, Aug. 8-11, 2012.
- [4] T. Kobayashi, et al., "Prototype Performance of Digital LLRF Control System for SuperKEKB", Proceedings of the 8th Annual Meeting of Particle Accelerator Society of Japan, Tsukuba, Aug. 1-3, 2011.
- [5] S. Michizono, et al., "Tuner control for cERL cavities by digital feedback system", Proceedings of the 9th Annual Meeting of Particle Accelerator Society of Japan Osaka, Aug. 8-11, 2012.
- [6] H. Ishii, et al., "Development of a beam position detector for an orbit feedback system in SuperKEKB", Proceedings of the 8th Annual Meeting of Particle Accelerator Society of Japan, Tsukuba, Aug. 1-3, 2011.
- [7] T. Kobayashi, et al., "RF Reference Distribution System for SuperKEKB", Proceedings of the 10th Annual Meeting of Particle Accelerator Society of Japan Nagoya, Aug. 3-5,

PASJ2015 WEP116

2013.

- [8] K. Hayashi, et al., “Refinements of the new LLRF Control System for SuperKEKB”, Proceedings of the 9th Annual Meeting of Particle Accelerator Society of Japan Osaka, Aug. 8-11, 2012.
- [9] <https://www.picmg.org/>
- [10] M. Ryoshi et al., “MTCA.4 FPGA (ZYNQ) BOARD”, Proceedings of the 11th Annual Meeting of Particle Accelerator Society of Japan, Aomori, Aug., 2014.
- [11] Kay Rehlich, et al., “Status of MicroTCA at DESY and XFEL”, 3rd MicroTCA Workshop for Industry and Research, Hamburg, Dec. 8-11, 2014.