

SPring-8 次期低速制御システム構築に向けた PLC 用光リンクリモート I/O マスターモジュール (OPT-PLC) の開発

DEVELOPMENT OF A PLC-BASED OPTICAL-LINK REMOTE I/O MASTER MODULE (OPT-PLC) FOR THE NEXT-GENERATION SLOW CONTROL SYSTEM AT SPRING-8

増田剛正[#], 植田倉六, 清道明男

Takemasa Masuda[#], Souroku Ueda, Akio Kiyomichi

Japan Synchrotron Radiation Research Institute (JASRI/SPring-8)

Abstract

SPring-8 accelerator control system deploys a lot of optical-link remote I/O system mainly for control of magnet power supplies. A huge number of remote I/O boards are controlled from a small number of expensive VME computers. Recently, remote I/O boards equipped with sophisticated FPGA device can manage many complicated processes instead of VME computers. This situation would make the VME computers over performance. Then we have paid attention to a PLC (programmable logic controller) which has recently made remarkable progress, and have considered applying it to a slow control system. In order to realize to build a slow control system that can utilize a huge number of currently deployed remote I/O boards, we have developed a master module of an optical-linked remote I/O system (OPT-PLC) dedicated for e-RT3 by Yokogawa electric Co. OPT-PLC has been designed to form two slots of the e-RT3 module and to provide five channels of an optical link. It consists of a logic control board equipped with Xilinx Zynq-7000 and two daughter cards with optical-link connectors. We have succeeded in enhancement of both adaptivity and expandability of the logic control board by adding high-speed serial link into the stacking connector. Communication process will be managed by software running on the ARM processors in the Zynq device. This approach allows us to enhance system portability and to utilize the common device driver supported by Yokogawa electric Co. for e-RT3 Linux CPU module.

1. はじめに

SPring-8 加速器制御系では、電磁石電源の制御を中心に光リンクのリモート I/O システムを採用し、少数の高価な VME 計算機から数多くのリモート I/O ボードを集中制御している。昨今 FPGA の低価格化・高機能化が進み、VME 計算機が従来担っていたインテリジェントな処理の多くを、リモートボード側の FPGA 等で受け持たせることが可能となってきた。このような現状を踏まえると、今後多くの場面において VME 計算機がオーバースペックになることが予想される。そこで、VME 計算機に比べて安価で、下記に列挙する通り最近その発展が著しい PLC (Programmable Logic Controller) に注目し、次期低速制御システムとして利用することを検討している。

- CPU 処理能力が向上している。
- CPU モジュール上で Linux 等の汎用 OS が動作する。
- 豊富な I/O モジュール群が Linux 等の汎用 OS から利用可能である。
- マルチ CPU モジュール構成が可能。シーケンス CPU と Linux CPU との連携も可能。

低速制御システムの構築にあたり、現在所持している光リンクリモート I/O システムの膨大な資産を有効に活用出来るよう、今回我々は、SPring-8 で開発を行った日立造船 (株) 社製の光リンクリモート

I/O システムである光伝送ボードシステム^{[1][2]}のマスターモジュール (OPT-PLC) の開発を行った。PLC としては、モジュール製作のための仕様が公開されていて、制御フレームワーク MADOCA^{[3][4]}による機器制御系での導入実績がある横河電機 (株) 社製 e-RT3^{[5][6]}をターゲットとした。

2. SPring-8 電磁石電源制御システム

2.1 制御システムの変遷と現状

SPring-8 加速器電磁石電源の制御には、1997 年の共用運転開始当時、3 種類の光リンクリモート I/O システムが使われていた。蓄積リングでは三菱電機 (株) 社製 RIO システムが、ブースターシンクロトロンステアリング電磁石電源には日立造船 (株) 社製 NIO システムが、そして SSBT ビーム輸送系電磁石電源の制御には住友重工 (株) 社製 MTC/UDC システムが、それぞれ VME 計算機との組み合わせで使用されていた^[7]。

2001 年の線型加速器制御系更新時に伝送ボードシステムを新たに導入した。その後、NIO システムは老朽化対策として光伝送ボードシステムで置き換えられ^[8]、MTC/UDC は SSBT 電磁石電源の更新時に光伝送ボードシステムを用いた制御系に変更された。現在 SPring-8 の電磁石電源制御システムでは、RIO システムと光伝送ボードシステムの 2 種類の光リンクリモート I/O システムが使用されている。

RIO システムについても、既に導入から 20 年が経過しており、実質的に新規購入ができない状況に

[#]masuda@spring8.or.jp

なっている。既に我々は光伝送ボードシステムをベースに RIO システムの後継ボードの開発を進めている^{[7][8][9]}。その結果、光伝送ボードシステムを用いて既存の全ての RIO システムの入れ替えられる体制が整っている^[9]。今回次期低速制御システム構築に向けた PLC 用光リンクリモート I/O マスターモジュールの開発ターゲットとして光伝送ボードシステムのみを考えているのは、このような背景による。

2.2 光伝送ボードシステム

光伝送ボードシステムは、VME ベースの 2 種類のマスターボード (1 スロット幅 4 チャンネル光リンクの OPT-VME と 2 スロット幅 12 チャンネル光リンクの OPT-CC (Figure 1)) と、現状では 10 種類のスレーブボードから構成されるシステムである。光リンクの通信プロトコルは SPring-8 で開発された OPT-Protocol2006^[7]で、光リンク 1 チャンネルに対して 1 枚のスレーブボードの接続を基本とする。

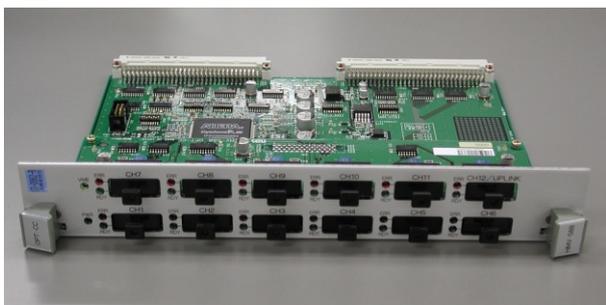


Figure 1: Photo of the OPT-CC VME board.

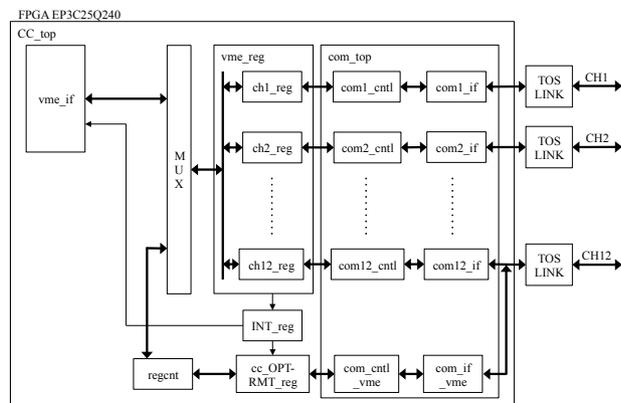


Figure 2: Block diagram of the OPT-CC FPGA logic.

OPT-CC モジュールはディップスイッチでの設定によって中継モードとしての利用も可能で、見かけ上 1:11 のマルチプレクサとして機能する。これは Figure 2 に示す通り、VME バスからのレジスタアクセスによるボード制御を、光リンクの 1 チャンネルからの制御に切り替えることで実現しているもので、通信プロトコルが中継モードの有無を判別しているわけではなく、ソフトウェアによって制御対象のスレーブボードの処理方法を変えている。中継モードの OPT-CC は原理的には多段接続が可能であるが、ソフトウェア処理が複雑になるため運用上は 2 段以上の接続は行わない。アプリケーションソフトウエ

アの製作者が中継モードの OPT-CC の有無によってソフトウェアの処理を変えなくても良いように、Solaris デバイスドライバで中継モードの有無による処理の違いを吸収している。

3. OPT-PLC の開発

3.1 開発の方針

e-RT3 ベースで光伝送ボードシステムのマスターモジュールを開発するにあたって、以下のような方針を立てた。

1. 可能な限り多くのチャンネルの光リンクを実装する。
2. モジュールのハードウェアは、ロジック制御部と I/O 部を分離し、ロジック制御部には汎用性を持たせる。
3. e-RT3 汎用 Linux デバイスドライバを利用して Linux CPU モジュールからのモジュール制御を可能とする。
4. シーケンス CPU からのモジュール制御も可能とする。

2.2 で述べた通り、1 枚のマスターモジュールから制御可能なスレーブボードの枚数は、マスターモジュールの光リンクチャンネル数で決まる。故に出来る限り多くの光リンクを実装できることが望まれる (方針 1.)。一方、FMC (FPGA Mezzanine Card)^[10]の考え方のように、製作するモジュールの I/O 部 (光リンク) がロジック制御部と分離できれば、ロジック制御部を他の用途に使用することが出来るようになり開発によるメリットが大きくなる (方針 2.)。I/O 部との取り合いを明確化し、できれば FMC 等の汎用規格が採用できることが望ましい。さらに UART や Ethernet、ストレージ等の汎用インターフェースが用意できれば汎用性がさらに高められる。しかしながら、このようなインターフェースを用意することは方針 1.とは必ずしも相容れないという課題がある。

また方針 3.が実現できれば、OPT-PLC 用に特別な Linux デバイスドライバの製作や維持のコストが不要になり、e-RT3 の他の I/O モジュールと同様に扱えるようになる。しかしながら、VME 計算機からの制御の場合にデバイスドライバ内部で行っていた通信処理、特に中継モード OPT-CC の有無による処理の違いをどのように実装すれば良いかという課題がある。方針 4.を実現するためには、光伝送スレーブボードの必要最小限の処理を、ソフトウェアを介さず、FPGA ロジックを含むハードウェアのみで行えるように実装しなければならないという課題がある。

3.2 ハードウェアの実装

詳細な検討の結果、OPT-PLC は 2 スロット幅で基板 3 枚から構成される 5 チャンネルの光リンクポートを実装するモジュールとして製作を行った (Figure 3)。1 枚目の基板はロジック制御ボードで、

SoC(System on a Chip)である Xilinx 社製 Zynq-7000 シリーズ^[11]を実装し、PLC I/O バスとの取り合いを行う(Figure 4 左側)。2枚目の基板には2チャンネルの光リンクが、3枚目の基板には3チャンネルの光リンクが実装されていて(Figure 4 右側)、2枚目の基板とロジック制御基板との間は 70 ピンのスタッキングコネクタで取り合う。Zynq-7000 シリーズ上の Dual Core Cortex-A9 ARM プロセッサ上で動作する Linux 用に Gigabit Ethernet インターフェースを、OS 起動用の MicroSD インターフェースを備える。ロジック制御基板の主な仕様を Table 1 に示す。



Figure 3: Photo of the developed OPT-PLC module.



Figure 4: Photo of a logic control board on the left side and optical-link boards on the right side.

このように、ロジック制御ボードを光リンクの I/O 部分と分離しながら高い汎用性を確保するという開発方針 2. を実現することができた。当初は、光リンクを実装する基板との取り合いに FMC を採用することを検討していたが、e-RT3 モジュールの基板サイズが小さく、FMC のスタッキングは困難であったため断念した。取り合いに使用した Molex 社製 53627-0774 70 ピンスタッキングコネクタには、将来拡張用として 6.25Gbps の高速シリアル信号の 4 ペアを渡している。ロジック制御ボードの汎用性と拡張性を達成しつつ、光リンクとしては 5 チャンネルを

確保しており、開発方針 1. と 2. を高い次元での両立を実現した。

Table 1: Main Specification of the Logic Control Board

SoC	Xilinx Zynq ; XC7Z015-1CLG485C
Memory	DDR3-SDRAM: 1GB QSPI Flash : 128MB
LAN	1 port (RJ-45 connector)
MicroSD	1 port (Micro-SD socket)
UART	1 port (Micro-USB connector)
High-speed serial I/F	4 pairs with 6.25Gbps speed in a 70pins stacking connector (Molex 53627-0774)
JTAG	1 port
Dimension	H100 x W58.11 x D83 [mm]
Power	+5V±5%

3.3 FPGA ロジックの実装

3.1 で示した開発方針 3. を実現するためのアプローチとして、ロジック制御ボードに採用した Zynq 上の ARM プロセッサを活用し、従来 Solaris デバイスドライバ内で行っていた通信処理を ARM プロセッサ上で動作する Linux 上のソフトウェアプロセスとして実装する方法を進めることとした。光ポートのチャンネル毎に用意される ARM プロセッサ上の通信処理プロセスが、e-RT3 Linux CPU モジュールから汎用デバイスドライバを介して OPT-PLC のレジスタ領域に書き込まれた処理内容と必要なパラメータを受け取り、その処理内容に従って光伝送ボードシステムの制御レジスタを操作し、その結果を OPT-PLC のレジスタに書き込むというものである。これを実現するために、我々は Figure 5 に示すような FPGA ロジックを製作することとした。

FPGA ロジックの中心部は、ARM プロセッサが接続されている Advanced Microcontroller Bus Architecture (AMBA) Advanced eXtensible Interface 4 (AXI4)^[12] オープンバスで構築し、Programmable Logic (PL) ブロック内の各モジュールは AXI4 バスに接続するよう製作する。これにより製作したモジュールの移植性が高まり、また豊富に提供される各種 IP コアを活用できるようになることが期待できる。ARM プロセッサは 2 本の独立した AXI バスと接続し、一方は PLC バスのレジスタを構築するための Dual Port RAM (DPRAM) へのアクセスに用い、もう一方は光伝送ボードシステムの制御モジュールや OPT-PLC ロジック制御基板上の各種デバイスへのアクセスのために用いられる。

PLC バスとのインターフェースは、PLC Gate Array と、FPGA 内部に実装される IP PLC-AVALON I/F で実現される。いずれも横河電機 (株) から提供されたものであるが、これらは新しく開発されたものであり、横河電機外部での実装は今回の OPT-PLC が初めてのケースとなった。AVALON バスからは、AVALON-AXI 変換モジュール (AVtoAXI)

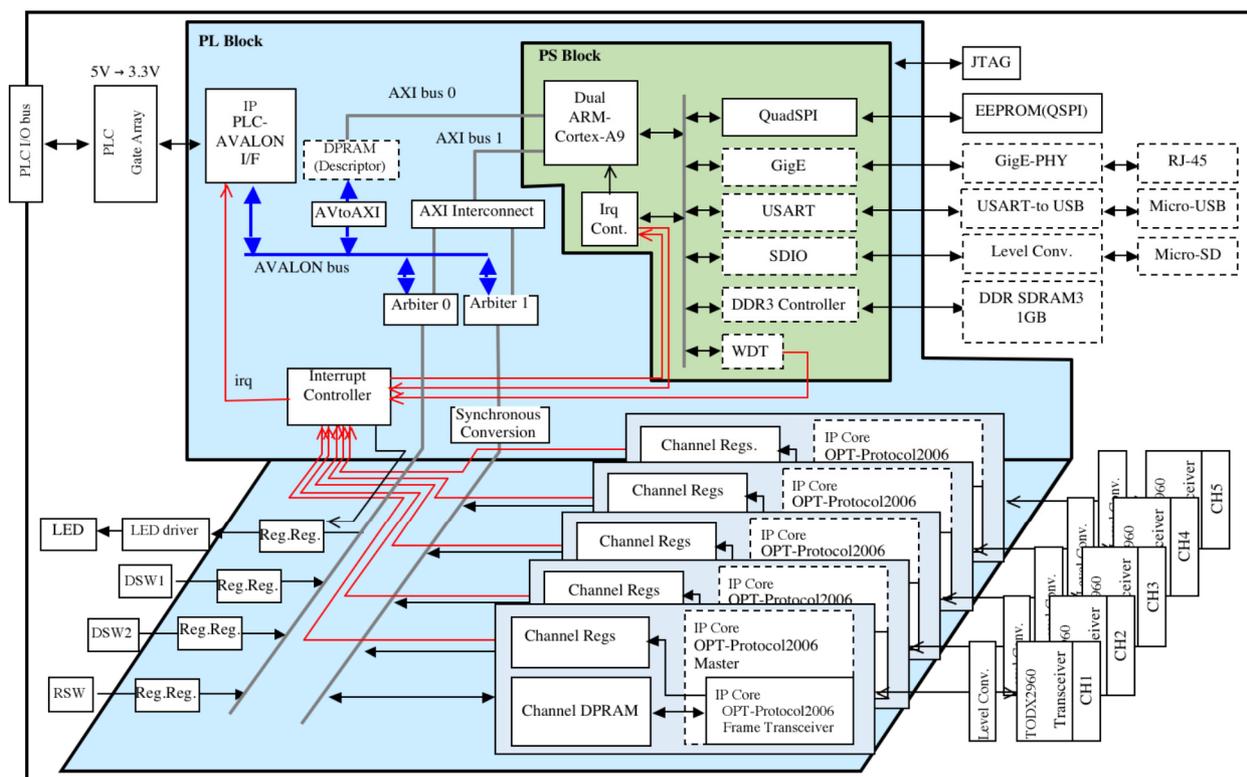


Figure 5: Block diagram of the OPT-PLC FPGA logic.

を介しての DPRAM 上のレジスタへのアクセスと、直接 OPT-PLC ロジック制御基板上のデバイス、および光伝送ボードシステム制御モジュールへアクセスするパスが用意される。これは 3.1 で示した開発方針 4. を実現するためのもので、これにより PLC バスから ARM プロセッサを介さずに光伝送ボードシステム制御モジュールへのアクセスが可能となる。光伝送ボードシステム制御モジュールへのアクセスは ARM プロセッサ側からも行われるため、Arbiter モジュールを介して行う必要がある。

方針 4. を実現するためには、上記に加えて、Solaris デバイスドライバが行っていた中継モードの OPT-CC の有無による通信制御の違いを FPGA ロジック内部で吸収する必要がある。我々は通信に関わる制御ロジックを検証し、光伝送ボードシステム制御モジュール内の処理を変更することでその違いを吸収できることを机上で確認している。

光伝送ボードシステム制御モジュールについては、OPT-CC ボードの FPGA ロジック内部で使用されているバス (OPT-COM バス) をそのまま利用し、AXI4 と OPT-COM バスへの変換を行う方式を採用することとした。ただし、OPT-COM バスは動作クロックが 80MHz であり、AXI4 バスの 100MHz とは異なるため、Synchronous Conversion モジュールで同期を取る必要がある。今後の移植性等を考慮し、光伝送ボードシステム制御モジュールを光ポートのチャンネル毎となるよう構成を変更する予定である。

3.4 レジスタ構成

PLC バス側から見たレジスタのアドレスマップを Figure 6 に示す。アドレスマップは 4 つに大別される。一つ目は e-RT3 のモジュールとして機能するために必要となるモジュール管理情報エリア、二つ目は OPT-PLC モジュールの周辺デバイスの制御などを行う共通レジスタ領域、三つ目は光伝送ボードシステムの通信制御を行うために必要な入出力レジスタ領域、四つ目は ARM プロセッサ上の通信制御ソフトウェアと必要な情報の授受を行うディスクリプタ領域である (Figure 7)。さらにディスクリプタ領域は、共通領域とチャンネル別の領域に分けられる。

通常、Linux CPU モジュールからは、チャンネル毎に用意されたディスクリプタ領域を介して、ARM プロセッサ上で動作する通信制御ソフトウェアの制御を行う。複数の Linux CPU モジュールからの操作を想定して、プロセス間の排他制御が行えるようディスクリプタ領域のレジスタには、排他制御実装のレジスタも用意する予定である (Figure 7)。

一方、通信制御ソフトウェアのデバッグを目的として、直接入出力レジスタを制御することも可能な構成としている。

また、シーケンス CPU を実装した場合、シーケンス CPU が入出力レジスタを操作することによって通信制御を行うことも可能となる。Linux CPU モジュールが同じバス内に存在して同一の OPT-PLC モジュールを制御する必要があった場合、排他制御は実装できないため、シーケンス CPU を経由して

操作することを前提としなければならない。

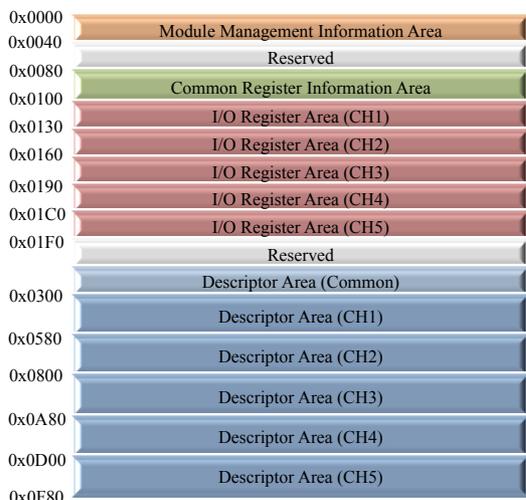


Figure 6: OPT-PLC relative register map in PLC bus.

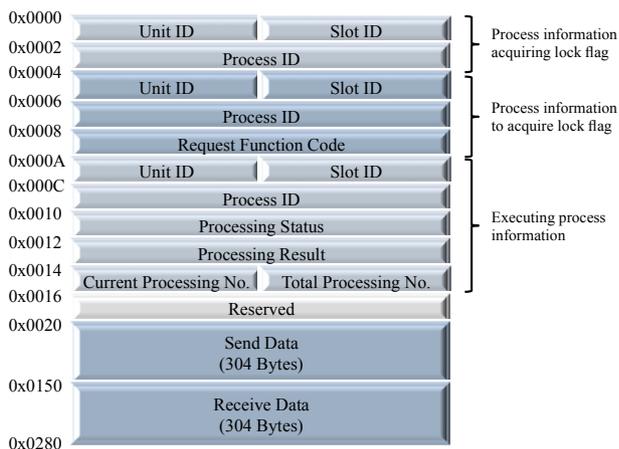


Figure 7: Address map of the descriptor area.

3.5 ソフトウェア構成

ソフトウェアの構成案を Figure 8 に示す。従来使用していた光伝送ボード制御用の API 関数のレイヤーでは互換性を維持し、e-RT3 用 Linux デバイスドライバをアクセスする形式に修正する。ディスクリプタ領域に渡される制御コードとしては、Solaris デバイスドライバの `ioctl()` システムコールのリクエスト番号相当を考えている。したがって、ARM プロセッサ上で5チャンネル分動作させる通信制御ソフトウェアは、Solaris デバイスドライバの処理内容に相当する処理を行うことを考えている。このほかに、全体制御プロセスを一つ立ち上げて、通信制御ソフトウェアの動作を監視するウォッチドッグタイマーの制御や OPT-PLC モジュールの点灯制御などを行う。

このように従来のデバイスドライバで行っていた半固定の処理をモジュール側に持って行ったことで、e-RT3 以外の別のバスに移植することが容易に行えるようになる。

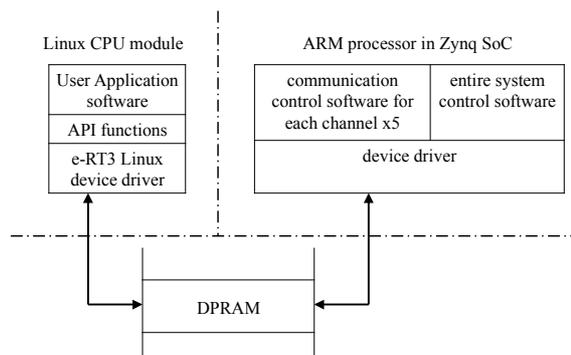


Figure 8: Software structure of the OPT-PLC module.

4. 現状と今後の予定

現在 FPGA ロジックの製作を進めている。並行してソフトウェア製作の検討を始めており、ここで検討している方式で問題なく実装できるかどうかを、パターンデータの生成が必要な OPT-RMT COMBOdao ボード^[8]をターゲットにして試験的に実装を行う予定である。問題なく実装できることがわかれば、全 10 種類の光伝送ボードに対応できるよう通信制御ソフトウェアの整備を進める予定である。実際の電磁石電源を用いた制御試験を次年度以降に行うことを計画している。

参考文献

- [1] T. Fukui, et al., “Applications of Reconfigurable Logic Devices for Accelerator Controls”, Proc. of ICALEPCS’03, Gyeongju, Korea, 2003.
- [2] T. Masuda, et al., “Upgrade of the SPring-8 Linac Control by Re-engineering the VME Systems for Maximizing Availability”, Proc. of ICALEPCS’03, Gyeongju, Korea, 2003.
- [3] R. Tanaka, et al., “The first operation of control system at the SPring-8 storage ring”, Proceedings of ICALEPCS97, Beijing, China, 1997, p.1.
- [4] T. Matsumoto, et al., “Development of New Control Framework MADOCA II at SPring-8”, Proceedings of the 10th Annual Meeting of Particle Accelerator Society of Japan, Nagoya, Japan, 2013, p.14.
- [5] A. Kiyomichi, et al., “Application of LINUX PLC Based MADOCA Control System”, Proceedings of the 11th Annual Meeting of Particle Accelerator Society of Japan, Aomori, Japan, 2014, p.1234.
- [6] <http://www.yokogawa.co.jp/rtos/rtos-index-ja.htm>
- [7] T. Masuda et al., “Development of OPT-VME Board towards the Unification of Optical-Linked Remote I/O System at SPring-8”, Proc. of 7th Annual Meeting of Particle Accelerator Society of Japan, Higashi-Hiroshima, Japan, 2008, p.377.
- [8] S. Ueda et al., “Upgrade of the Control System for Steering Magnet Power Supplies at SPring-8 Booster Synchrotron”, Proc. of 9th Annual Meeting of Particle Accelerator Society of Japan, Osaka, Japan, 2012, p.695.
- [9] T. Masuda, et al., “Development of the Succeeding Control Board for the SPring-8 Main Magnet Power Supplies”, Proc. of 11th Annual Meeting of Particle Accelerator Society of Japan, Aomori, Japan, 2014, p.1275.
- [10] <http://www.vita.com/fmc>
- [11] <http://japan.xilinx.com/products/silicon-devices/soc/zynq-7000.html>
- [12] <http://www.xilinx.com/ipcenter/axi4.htm>