

J-PARC MR の MPS 装置の異常対策時の時間短縮と誤作業低減のための改造

THE IMPROVEMENT FOR TIME SHORTNING AND ERROR WORK REDUCTION IN THE ABNORMAL COUNTERMEASURE OF J-PARC MR MPS

中川 秀利^{#, A)}, 秋山 篤美^{A)}, 佐々木 信哉^{A)}, 制御 グループ^{B)}
Hidetoshi Nakagawa^{#, A)}, Atsuyoshi Akiyama^{A)}, Shinya Sasaki^{A)}, Control Group^{B)}

^{A)} KEK

^{B)} KEK & JAEA

Abstract

The MPS of J-PARC MR was designed so that we wish to get high reliability. It composed in the simple function in the reason. From the viewpoint, the management information on each sub-rack was preserved in the CPU board, and the sure action in the power supply charge was guaranteed. In present state, there is not all troubleshooting work on the MPS equipment. Though so the reliability is high, there will not be the mastering on the repair of the field-work person. We carried out the consideration on the repair in the trouble in secular changes, etc., and the countermeasure was carried out. And, a demand on the protection of the accelerator became complicated, and it was required that the manager examined the order of the event occurrence in detail. We carried out the improvement from both sides of software and hardware in order to solve these problems. This is a report of the improvement.

1. 序

J-PARC MR の MPS 装置は信頼性を高くすることを目的に機能を単純化し構成された。MR の機器を監視している装置では 6 台一組で構成されていたが途中で信頼性向上のための機材の追加を行い 7 台にし、更に入力信号の増加に対応するために、近日中に 8 台構成となる。機材が増えれば、故障の可能性が増える。(ただし、数年の運用で、故障はない。)そして、運用年数が増えると経年変化による劣化の心配が出てくる。

単純化を考えた初期設計の思想で、それぞれのサブラックに関する管理情報は CPU ボード内に保存し、電源投入時での確実な動作を保証していた。予備機材を適切な数量保有し故障時には交換できる体制にしているが、CPU ボードの交換時には新たなボードに各種固有の設定を実施する必要がある。

フラッシュメモリーに保存する作業も必要となる。CPU ボード内に必要な情報すべてを保存する方式は、開発時には適切な方法であったが、長期運用に於いて、故障が発生し修復の必要が発生した時には作業者の高度な習熟が必要と思われる。

現状では J-PARC MR の MPS 装置で一切の故障修理作業はない。それほど信頼性が高いが、現場作業者の修理に関する習熟がないわけで、故障時の修理に関する考察から、対策をすることにした。

CPU ボード以外ではディップ SW で特性を変えるようになっている。各種検討をしたが、CPU ボードにもディップ SW を追加し、その番号が、設置場所(サブラック)と対応するようにした。

この結果、J-PARC MR の MPS 装置は、故障時に構成部品であるボードを同等のものと交換する場合、すべて「ディップ SW の設定を合わせること」という単純な考え方で統一できることになった。この結



Figure 1: Red box shows the location where MPS equipment is.

果、修理対策が必要になった時は電子機器の基礎知識のある作業員なら誰でも専門知識なく修復作業ができるかと期待できる。

加速器の運用が高度化するにつれて、保護機能にも複雑な要求が出てきた。ビームの行き先と異常機器との関係で異常信号を使い分けることは以前の学会^[1]で説明した。最近では異常の発生した順番が問題となり、装置の時間分解能の範囲内（装置内で1 μ 秒以下）で、最初の4個の発生順序を確認できるようにした。

ここでは、J-PARC MR の MPS 装置の紹介と改造内容、そして、改造内容を運用につなげるための技術内容を紹介し、長期運用用の機器開発時の設計指針の考え方の一助となるような紹介をしたいと思う。

2. J-PARC MR MPS の紹介

2.1 機器構成と配置

J-PARC の MR は 3 か所の電源棟に電源や制御や監視の機材が設置されている。そこで各電源棟に機器の健全性の確認のための MPS（機器保護装置）を設置している。それぞれの MPS の機材からの信号は第3 電源棟へ集めそこで MR 系の集約をした後で、中央制御棟の全体の MPS 装置の信号の集約装置に信号を送り、加速器全体でのビーム停止操作を行う。

MR では機器の異常時にビームをダンプへ送る装置を使う。（半分程度完成で、まだ開発中である。）このアバート装置へもビームをアバートする指示を出す。

これらの様子を図1と図2で示す。

2.2 サブラック内配置

MR の MPS 装置の一例を図3で示す。信号数の多いビームロスモニタからの MPS 信号を扱うシステムは多少構造が異なるが、話が煩雑になるので、ここでは省略する。MR の機器監視のための装置では、左端には、論理判断処理と中央制御装置との通信をつかさどる CPU ボードがある。2 番目から入力装置が並ぶ。12 番から 15 番は入出力の両方に使える。16 番目に電源モジュールを設置している。

2.3 CPU の情報と FPGA の処理の関係

MR の MPS のための装置は全体で 10 マイクロ秒以内程度に信号処理を終えることを目標に設計され

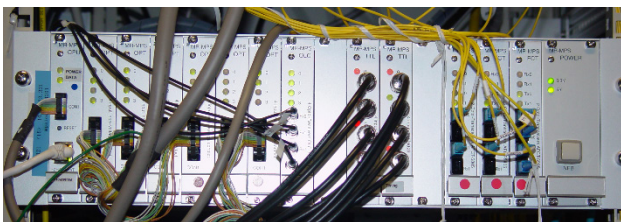


Figure 3: The layout of the module.

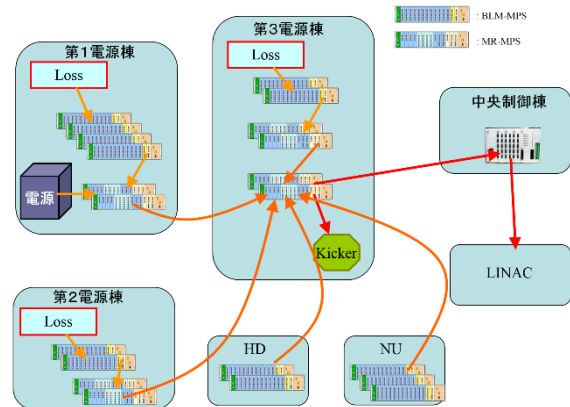


Figure 2: The layout of the MPS equipment.

た。それを安定に実現するために計算機の割り込み処理に依存せず、FPGA の論理処理で入力信号の異常判定を行う。^[1] その処理結果は出力ポートに送られ、下流側の MPS 装置に伝えられる。

また、処理内容は CPU との間に挟んだレジスタにも書かれ、CPU が情報処理をするのに使われる。FPGA 内に埋め込まれた CPU で LINUX を動かし、その上で制御環境である EPICS を動かして、中央制御の表示端末上で異常の状況を示す。

電源棟毎に入力状況は異なり、信号の種類も異なるので、そこで動いている EPICS のプログラムのデータはすべて異なる。

3. 問題と解決方法

持っている情報の異なる同一構造の CPU をたくさん使う場合には予備ボードの扱いが大事になる。方法としては

- 1) 完全 2 重化（必要な数だけ予備ボードを作りメモリーの内容も一致させておく）
- 2) 少数の予備ボード（交換時に内容を書き換える）
- 3) ID 用の SW を付けた少数の予備ボード（ボード内に SW による ID をつける）

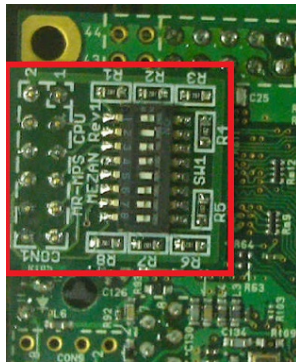
我々は最近まで 2) の方式を採用していた。それを 3) の方式に変更した。

その都度書き換えの必要が生じる運転のための固有の情報としては、

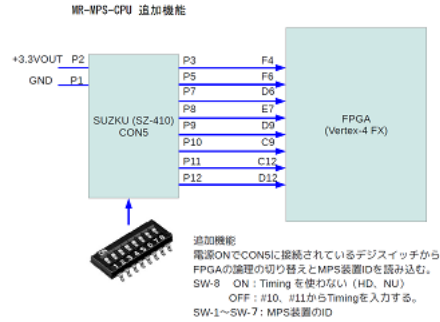
- st.cmd (EPICS の立ち上げスクリプト)
 - ホストネーム
 - IP アドレス
- がある。

3.1 改造内容(故障対策用)

故障時の対策を簡素化するために、CPU モジュールに 8bit のデジスイッチを増設した。SW8 は MR 用 MPS 筐体であることを示す（FPGA の論理処理切り替え用）。SW1～SW7 は MPS 筐体の ID で、MPS 装置立ち上げ時に使う IP アドレス、ホストネーム、EPICS の立ち上げスクリプトを決定する。CPU モジュールの交換時は同じ ID に設定することで同一



(a) Dip SW.



(b) The Circuit.

Figure 4: The device which simplifies the maintenance = Dip SW.

の動作が可能となる。改造は図4のようになっている。

3.2 改造内容(順番検出)

- 1) MPS 信号発報経過を各 MPS 筐体で4入力発報順に記録する機能を追加した。
- 2) 従来 MPS 信号のマスク情報は入力モジュールのマスク・スイッチの固定値のみで、運転モード、タイミング信号によるリアルタイムなマスク情報はなくソフト (EPICS レコード) で処理する必要があった。今回、マスク・スイッチ& 運転モード&タイミング信号を FPGA で処理してリアルタイムなマスク情報を加えた。

Timing mode を使用するか否かを SW の設定から読み込み、判定するようにした。また、プライマリの MPS の情報を先着 4 つまで記録するようにした。記録されるプライマリの MPS 情報は、

- 1) どの MPS 入力信号を受信したか、MPS 入力信号を受信した時の
- 2) Operation Mode、
- 3) Timing Signal、
- 4) Timer Counter

の4つの情報である。この情報は、MPS 信号が出力された原因の究明に役立てることを目的としている。

サイクルの開始時刻からの時間を数える Timer Counter は 87.5MHz のクロックを分周比 128 で分周したクロックでカウントアップするカウンタである。約 1.5 μ s の分解能を持つ。24 bit のカウンタになっており、約 24 s までカウントできる。Timing Signal が変化するたびに 0 にリセットされる。

先着 4 つまでしかプライマリの MPS 情報が記録できないのは、CPU ボード上の FPGA の回路規模が小さいため。回路規模の大きな FPGA を実装すれば保存できる MPS 情報の数は増える。(現在開発している新しい CPU ボードは、FPGA の回路規模も大きくなっているため保存できる MPS 情報のチャンネル数は増えるの見込まれる)

Timing Signal を使用する設定^[1]になっているにも

関わらず、タイミング入力が途絶えた場合には MPS 出力を行う。これは、Timing Signal を使用する際にはタイミング入力が途絶えることはなく、もし途絶えた場合は何らかの障害が発生しているとみなすためである。タイミング入力が途絶えたと判断するのはクロック 87.5 MHz において 3 クロック以上 (約 30 ns 以上) タイミング入力が受信できなかった場合である。

MPS 信号の入力の有無を 87.5 MHz のクロックで確認しているため、これより早い時間間隔 (約 10 ns) で入力された MPS 信号に関しては、どちらが先に入力されたかを判別することが出来ず同時に入力されたとみなし、プライマリの MPS 情報がラッチされる場合がある。

4. 運用方法

4.1 故障対策

図5に示すように立ち上げ初期には通常の DHCP プロトコルで立ち上がり、機能し始めたあとで動作内容を決定する方式とした。ディップ SW の内容

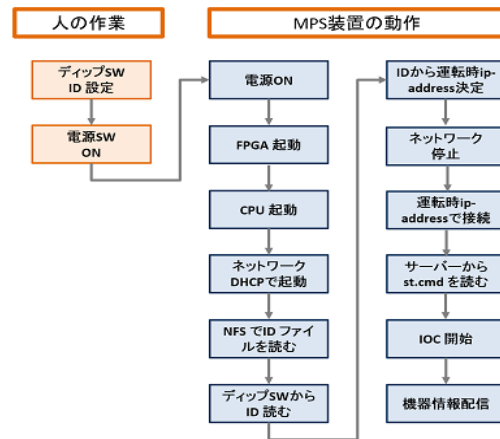


Figure 5: The job flow of Man/Machine at CPU replacement.

が同じなら、動作もネットワーク上の見え方も同等になる。修理担当者はディップ SW を合わせて電源 SW を入れるだけである。(図5参照)

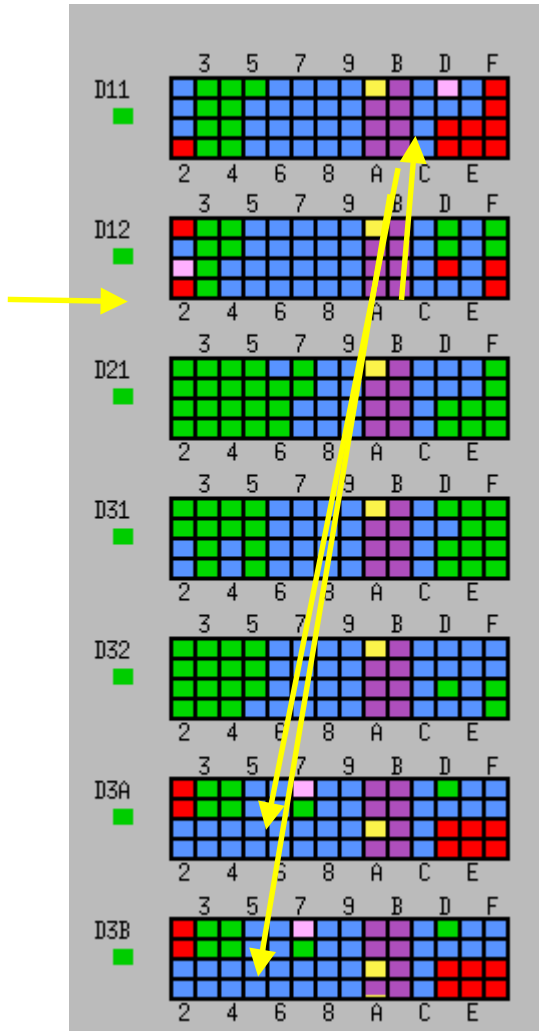


Figure 6: A sample to check the primary event. Pink: Primary event port in a sub-rack. Yellow arrow: Signal Flow.

4.2 順序検出

順序検出の一例(試験時のサンプル)を図6に示す。この例では、各サブラック内で最初に発生したものがピンクで示されている。図2で示した各サブラック間の信号の流れと合わせて分析すると、最初に何が起こり、それがどのように伝達したかを見ることができる。

図6は試験時のサンプルだが、実運用では4番目まで確認でき、サンプルよりは複雑な事象でも原因究明が容易になるように準備している。

5. まとめ

この故障対策方法を採用することで故障時にはSWの設定を以前のものと同じさせて、交換するだけで済むため、誰でもでき、過ちの発生の可能性が減る。ターミナルを接続して変更内容を入力する必要がなくなり、作業時間の短縮ができる。(加速器の運転休止時にボードの試験を行い実感した。)方式を工夫し、運用時の(ホスト名/ip-address)は場所(サブラック)と対応するようにしてあるために、通常のネットワーク管理/監視機能が使え、動作状況の確認が容易になる。

順序検出は、事象が複雑で、理解が困難な時に役立つ。図6で示したように順番を丹念に追跡することで、システム構成上のミスなどで事象発生が循環したり、混乱が発生しているのを発見しやすくなるかと期待されている。

参考文献

- [1] H.Nakagawa, et al., "MECHANISM FOR COMPLEX MODE MPS", Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, Himeji, August 4-6, 2010.