

Suppression scheme of COD variation caused by switching ripple in J-PARC 3GeV Dipole Magnet Power Supply

Yasuhiro Watanabe^{1,A)}, Norio Tani^{A)}, Toshikazu Adachi^{B)}, Susumu Igarashi^{B)}, Hirohiko Someya^{B)}

^{A)} Japan Atomic Energy Agency 2-4 Shirakata-shirane, Tokai-Mura, Ibaragi prefecture, 319-1195

^{B)} KEK 1-1 Oho, Tsukuba-shi, Ibaraki, 305-0801

Abstract

In J-PARC RCS, horizontal closed orbit distortion (COD) which is ± 2 or 3mm in amplitude was observed all over the ring. Main component of the horizontal COD is 1kHz, phase variation period is about 140 seconds. This paper demonstrates phase variation of the 1kHz horizontal COD caused by switching ripple from dipole magnet power supply. To suppress the phase variation of the horizontal COD, switching timing of the dipole magnet power supply was synchronized J-PARC timing system.

J-PARC 3GeV偏向電磁石電源のスイッチングリップルが引き起こすCOD変動とその対策

1. はじめに

J-PARC 3GeVシンクロトロンでは、コミッションング当初より、リング全周に渡る水平CODの変動が観測されている。この水平CODは、入射直後は $\pm 2, 3$ mmの振幅があり加速に従って減少していく。水平CODの主な成分は1kHzであり、約140秒の周期で位相が変動することから、ショットごとの測定にばらつきが生じ、オプティクス測定に重大な影響を与えている。

本論文では、1kHzの水平CODの原因が偏向電磁石交流電源のスイッチングに起因するものであることと、位相変動はスイッチングタイミングと加速器のタイミング系が非同期であることから生じるものであることを明らかにする。さらに、偏向電磁石交流電源のスイッチングタイミングを加速器のタイミング系と同期化することにより、スイッチングリップルによる磁場の位相変動が抑制できることを実証する。

2. 偏向電磁石電源の回路構成

図1にJ-PARC RCS偏向電磁石電源の回路構成を、表1に仕様を示す。RCSの繰り返し周波数は25Hzであり、電磁石にはDCバイアスされた25Hzの正弦波電流を供給する必要があるため、電磁石にチョークトランスと共振コンデンサから構成される共振回路で励磁される。電磁石はリング内に設置される24台+モニタ用1台の合計25台あり、電磁石1台につきチョークトランスと共振コンデンサ各1台からなる共振回路を構成し、25組の共振回路は直列接続している。共振回路を励磁するための電源は、直流バイアス電流を供給する直流電源(DCPS)と共振回路に交流損失を供給する交流電源(ACPS)が分離している。25組ある共振回路の内1回路のみ、共振回路を分割し

表1: 偏向電磁石電源仕様

Resonant frequency	25 Hz
Current pattern	DC biased sinusoidal
Magnet Inductance : Lm	62.0 mH
Choke Inductance : Lch	62.0 mH
Capacitor : Cm	1227 μ F
Injection current	421 A
Extraction current	2666 A
Injection Field	0.18 T
Extraction Field	1.15 T
DC power supply	4436 kW
Voltage rating	2661 V
Current rating	1667 A
AC Power supply	3273 kW
Voltage rating	5832 V
Current rating	1587 A

て25Hzの交流電流に影響を受けないような点を設けて、直流電源を挿入している。交流電源は、25台のチョークトランスの一次側に並列接続している。

図2に交流電源の主回路構成を示す。交流電源は、整流器用変圧器と4組のPWM整流器・PWMインバータから構成されている。三相6.6kVを整流器用変圧器で1000Vに降圧したあと、PWM整流器にて直流に変換し、PWMインバータにより25Hzの正弦波交流電圧を生成する。1組のPWMインバータは、直流リンクを共有した2組のフルブリッジインバータから構成されており、出力側は相間リアクトルを介して接続されている。各PWMインバータの出力側はそれぞれ直列接続し、中点は接地し、出力側はACリアクトルと抵抗を介して、25組のチョークトランス一次側と接続している。各スイッチング素子は、3.3kV-1.2kAのIGBTを使用している。PWM整流器、PWMインバータのスイッチング周波数はそれぞれ900Hz、1kHzである。ただし、インバータ側は多重化により、合成スイッチング周波数を16kHzとしている。

¹ E-mail: yasuhiro.watanabe@j-parc.jp

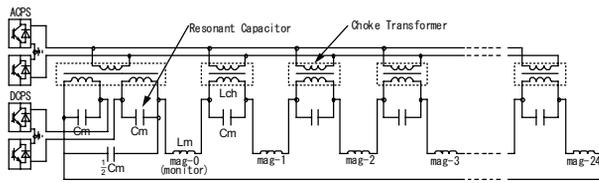


図1: 偏向電磁石電源の回路構成

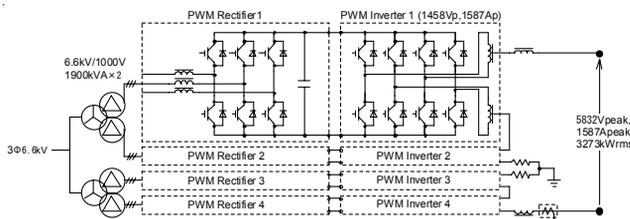


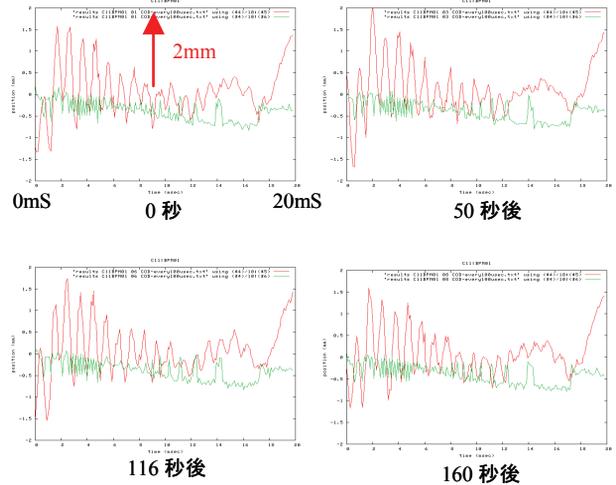
図2: 交流電源 (ACPS) 主回路構成

3. 水平CODと磁場リップルの位相変動

図3に現在観測されている水平及び垂直CODの0msから20msまでの時間変化を示す。垂直CODは加速中も全幅で0.5mm程度に収まっているが、水平CODは±2mm程度で1kHzの振動が生じており、加速とともに振幅が小さくなっている。図下の時間は、各データの測定時間を示しており、1kHzの振動は約140秒で元の位相に戻っている。

図4に電磁石電流と磁場のFFT結果を示す。電流及び磁場の測定は、分解能16bit、サンプリング周波数100kHzのADCを用いており、ADCのサンプリングクロックは、加速器のタイミングシステムから供給されるマスタークロック (12MHz) を100kHzに分周して使用している。FFT解析は、1秒間 (データ数100k) サンプリングしたデータを使用しているため、周波数分解能は1Hzである。25Hzに近い低周波を除くと、電流及び磁場の振幅のピークは1kHzであり、交流電源のインバータ側のスイッチング周波数と一致することから、スイッチングリップルによるものである。

1kHz付近のリップルの時間変動を見るために、図5に磁場の950Hz～1050Hzまでの振幅成分と位相成分の時間変動を示す。FFT解析は、10秒間隔で行っている。振幅成分は時間によらず一定であるが、位相成分は約140秒周期で変動している。



ADCのサンプリングクロックは、マスタークロックと同期していることから、位相変動の原因は、加速器のタイミング系と電源のスイッチングが非同期であるためであり、同期化することにより位相変動が抑制できることがわかる。

図3: 水平 (赤) 及び垂直 (緑) CODの時間変動

図4: 電流 (左) 及び磁場 (右) のFFT結果 (非同期)

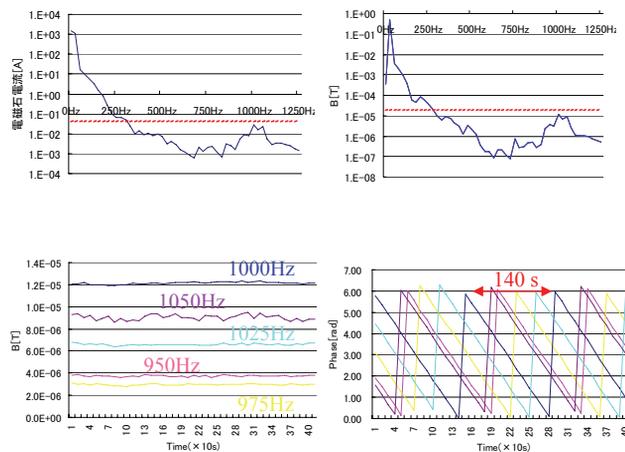


図5: 磁場振幅 (左) ・ 位相 (右) の時間変化 (非同期)

4. PWM回路のタイミング同期化

図6に偏向電磁石交流電源のインバータ側PWM回路を示す。PWM回路は、電圧指令信号と搬送波 (三角波) 信号からコンパレータを通してインバータのスイッチングタイミングを生成するためのものである。インバータ 1 台当たりのスイッチング周波数は1kHzであるため、三角波も1kHzであるが、イ

ンバータ全体の等価的なスイッチング周波数を16kHzとするため、各インバータの三角波の位相を 22.5° ずらしている。電源の制御回路はアナログ回路を用いているが、三角波の生成は、位相設定の正確さや容易さから、デジタル回路を用いて

いる。シフトレジスタとアップダウンカウンタにより三角波のデータを生成して、12bitDAC（実際は11bit分のみ使用）によりアナログ信号に変換する。

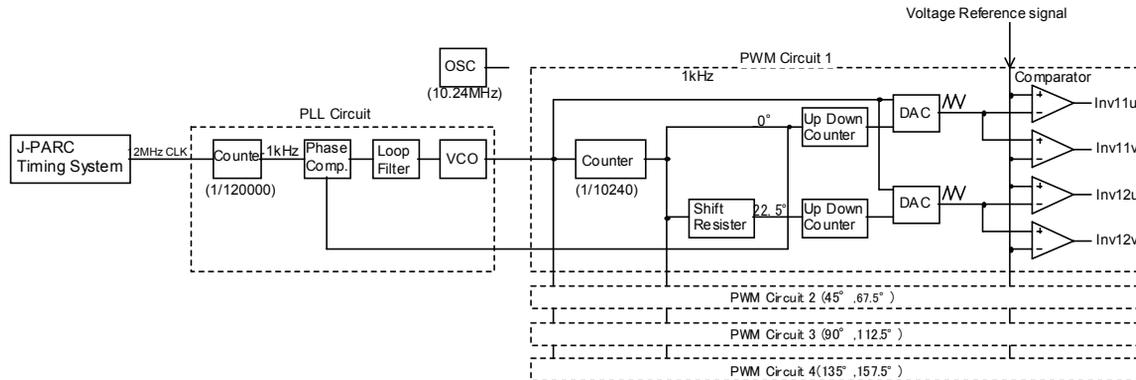


図6: 偏向電磁石電源回路構成

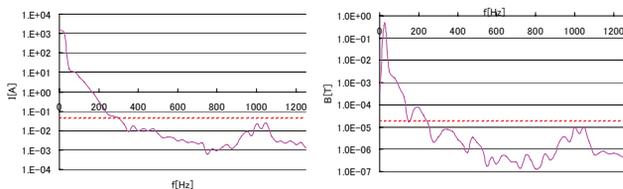


図7: 電流(左)及び磁場(右)のFFT結果(同期後)

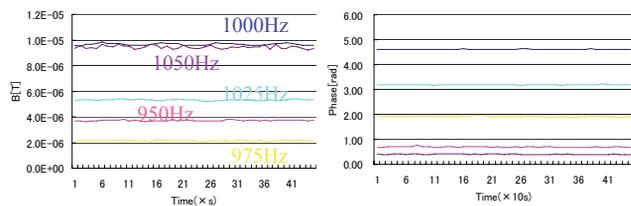


図8: 磁場振幅(左)・位相(右)の時間変化(同期後)

従来のPWM回路は、搬送波を内部クロック(10.24MHz)から生成していたが、ここでは、スイッチングタイミングを加速器のタイミング系と同期化させるため、マスタークロック(12MHz)からPLL回路を介して三角波を生成するように改造する。PLL回路は、位相比較器とループフィルタ、VCOから構成されるアナログPLLを使用した。位相比較を1kHzで行うため、タイミングシステムから供給された12MHzのマスタークロックは一端カウンタにより1kHzに分周する。クロックのジッターを低減するためループフィルタは、1kHz成分を十分に減衰させるように設定している。

5. タイミング同期化後の測定結果

図7にPWM搬送波を加速器タイミングと同期化した場合の、電流および磁場のFFT結果を示す。電流及び磁場共にPWM同期化した場合でも、大きな変化は見られない。図8に磁場の950Hz~1050Hzの時間変動を示す。磁場の位相変動が完全に抑制されていることがわかる。

6. まとめ

本論文では、偏向電磁石交流電源のスイッチングタイミングを、マスタークロックと同期化することにより、電源のスイッチングに起因する1kHz付近の磁場位相の変動を抑制することができた。水平CODの位相変動抑制により、ショットごとのばらつきが小さくなり、オプティクス測定の精度向上が期待できる。実際に水平CODの位相変動が抑制できるかどうかの確認は、本年10月から再開されるビーム試験において実施する。なお、本手法によって、磁場リプルそのものが低減できるわけではない。現在観測されている水平CODを垂直CODと同程度に低減するためには、現在の 10^{-5} 台の磁場リプルを 10^{-6} 台まで低減する必要がある。今後は、更なる磁場リプル低減に向けて開発を進める。

最後に、CODのデータ解析を行い、磁場リプルの位相変動の発見に有益な情報を提供していただいた發地英明氏、原田寛之氏とBPMのデータ解析に協力いただいた林直樹氏に感謝いたします。また、電源のPLL回路を製作していただいた日立製作所の佐川隆氏に感謝いたします