

[14A-02]

IMPROVEMENT OF THE LOW POWER RF PHASE STABILIZER TEST CIRCUIT

T. Tanaka^{*)}, K. Hayakawa, I. Sato, Y. Hayakawa, K. Sato, Y. Matsubara, I. Kawakami, H. Nakazawa^{A)}, K. Yokoyama^{A)}, K. Kanno^{A)} and T. Sakai^{A)}

Atomic Energy Research Institute, Nihon University
^{A)}College of Science and Technology, Nihon University

7-24-1 Narashinodai, Funabashi 274-8501, Japan

Abstract

Development of the low power rf stabilizer circuit has been continued at LEBRA, Nihon University. The problem of unstable operation of the test circuit was solved by the replacement of an asynchronous 12bit counter, which was used for the estimation of the correction of the rf phase, with a synchronous one. A long transient time before the phase-locking in each rf pulse was considerably improved by the application of an automatic initial phase offset based on a feed-forward technique. However, the phase stability of the output of the klystron driving rf amplifier has been estimated to be $\pm 0.6^\circ$ with the improved circuit, which is worse than the old result.

低電力RF位相安定化試作回路の改良

1. はじめに

1999年のリニアック研究会において、日本大学電子線利用研究施設(LEBRA)のFEL用125MeVリニアックRF系の位相安定化回路の試作について報告した[1]。この位相安定化回路は、2856MHz RF源からの出力とクライストロン入力間の移相減衰器とRFアンプで生じる、パルス内およびパルス間の位相変動をデジタルフィードバックにより取り除くために試作したものであるが、フィードバック動作上、いくつかの問題があった。

その後、回路の一部を改良することにより、さらに改善の必要はあるものの、20 μ sのRFパルス内で10 $^\circ$ 以上変動していた位相を、パルス全体にわたって $\pm 0.6^\circ$ 程度の変動まで安定化することができた。

今回は、この試作回路の改良結果について報告する。

2. 安定化回路の原理

前回報告した回路の原理を簡単に説明する。RFの位相調整は、RF源からのRFを位相が90 $^\circ$ 異なる2つの成分に分割し、ダブルバランスドミキサ(DBM)で振幅を変えた後合成する、という方法で実現している[1]。

合成すべき2成分の振幅はそれぞれ三角関数のsinとcosの関係にあることが理想であるが、DBMの線型性の問題で正確に振幅一定のRFに合成するよう制御信号を与えることは難しい。このため歪みが生ずることを容認し、制御信号そのものをsinと

cosの関係になるようにした。

制御信号である三角関数の数値を13bitアドレスの高速ROMに360/8192 = 0.044 $^\circ$ 毎に書き込んでおき、ROMの出力(11bit)を12bit DACに入力し、得られたアナログのsinとcosの出力電圧をDBMに入力することにより大まかにROMのアドレスに対応する位相の出力RFが合成によって得られた。

ROMに指定すべきアドレスは、元のRFとRFアンプ出力との位相差をDBMで検出し位相の進み遅れに従い5MHzで増減を行う12bitカウンタの数値のうち上位11bitを用いた。

これにより、RFアンプ出力位相が元のRFに比べ進んでいるか遅れているかでカウンタ出力が増減するので、自動的にフィードバックが掛かり、位相安定化の動作が実現した。このようにフィードバック量がデジタルで与えられることから、デジタルフィードバックと称している。

3. 以前の問題点と改善

上記の回路で動作試験を行った結果、条件の良い状態では位相変動をほぼ $\pm 0.3^\circ$ 以内に抑制できることが確かめられた。しかし、

合成RFの出力振幅を常に一定に保つ振幅制御回路の動作不良

位相安定化動作の不安定

フィードバックにより位相がロックされるまでの、デジタルフィードバックの速度に起因する長い過渡時間

^{*)} T. Tanaka, 047-469-5489, tanaka@acc.phys.cst.nihon-u.ac.jp

など問題が残されていた。これらの改善について以下に述べる。

3.1 動作不安定の改善

RF 出力振幅を安定化する回路部分が動作不良だったこと、位相安定化の動作が不安定だったことには共通の原因があった。

基本的に位相制御回路も振幅制御回路もその原理は全く同じで、TTL 12bit カウンタで位相の進み遅れ、あるいは振幅の大小の情報を数値化して表現していたが、カウンタの動作は非同期であった。

カウンタの周波数は 5MHz であったためカウンタアップまたはカウンタダウンのみの動作では問題ないが、高速の動作を期待して 1 周期のカウンタパルス中でアップとダウンが連続して可能な回路にして動作させていたため、16 進数の桁上がりが生ずるときにはカウンタの値が異常になり、20 μ s の RF パルス内で位相が突然ジャンプしたり、振幅がジャンプするという現象が生じていた。

これらの問題を解決するために、カウンタを同期カウンタに変更し、安全のために 1 周期の中ではカウンタアップかダウンかのどちらか一方の動作のみが可能なように改善した。

これによって位相や振幅がジャンプする現象は無くなり、振幅の制御が位相のフィードバックと同時にできるようになった。位相安定化の動作の不安定はこれで解決された。

3.2 過渡時間短縮用位相オフセット回路の導入

図 1 に位相調整のない時の、RF 源と RF アンプ出力間の位相変動、図 2 に以前の回路で位相を制御した結果の位相変動の様子を示す。RF アンプ出力の位相変動は一定ではないが、20 μ s の RF パルス内で大きいときには 10 $^\circ$ 以上変動する。

これを位相安定化回路で、位相検出用 DBM の出力が 0V となるようフィードバックを掛けることで、図 2 の例では RF パルスの開始から約 6 μ s 後に位相が $\pm 0.3^\circ$ 以内にロックされ始める。

フィードバック用のデータである 12bit カウンタ出力は、RF パルス終了時にはその瞬間の位相補正量を反映しており、次の RF パルス開始まで保持される。このため次の RF パルス開始から位相がロックされるまでの過渡時間は、RF パルス開始時と終了時の位相差に依存する。

そこで、後に続く RF パルスに対するフィードフォワードの考え方を採用し、パルスの先頭から位相がロックされるよう改良することにした。これは、RF パルス開始時に予めフィードバック用カウンタに、過渡時間の間に必ず必要のある位相量を、最初から位相オフセットとして与えることで実現できる。このために新たに位相オフセット回路を追加し、オフセット用に 12bit カウンタを増設した。こ

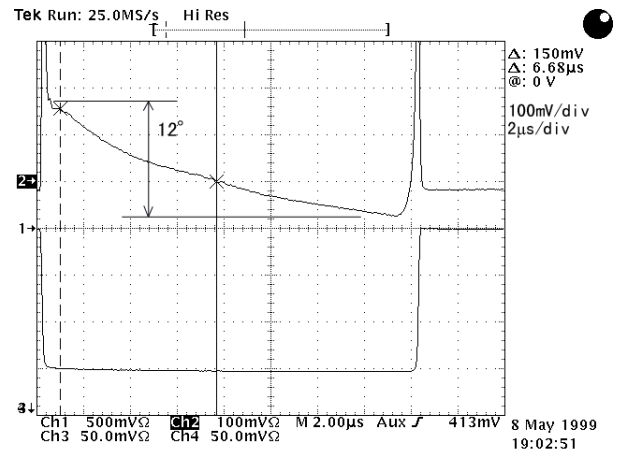


図 1. 位相安定化を行わないときの、RF 源と RF アンプ出力間の位相（上）と、RF アンプ出力電力波形の例。DBM の検出位相信号の振幅（増幅後）は 1.2V。

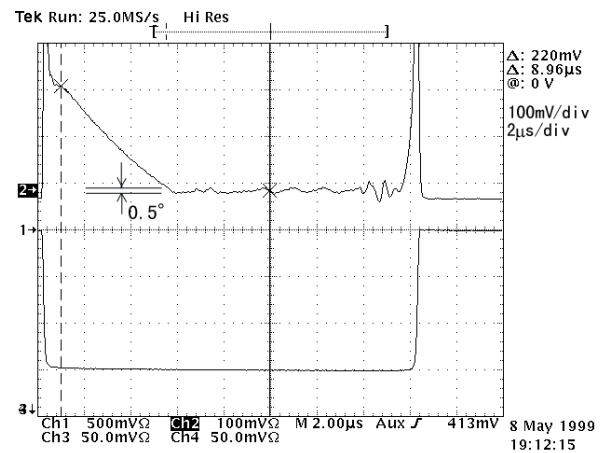


図 2 .改良前の位相安定化回路を動作させたときの、RF 源と RF アンプ出力間の位相（上）と、RF アンプ出力電力波形。

の動作は以下の通りである。

RF パルスの先頭付近での位相の進み遅れに従ってオフセット用カウンタを 1 カウンタだけ増減させ、RF パルス終了後にフィードバック用カウンタ出力にこの値を加えてやり、次の RF パルスを待つ。

位相がロックされていれば、フィードバック用カウンタには RF パルス終了時の位相補正情報のみが記録されている。そこに RF パルス開始付近での位相の進み遅れの情報であるオフセット用カウンタの出力を加えてやると、この動作開始からある時間が経過すると、理想的には RF パルス開始付近（実際にはオフセットカウンタをさせたタイミング）で位相がロックされるようになる。

オフセット用カウンタは、カウンタが数えるタイミングで位相がロックされるまでカウンタを増減させ続け、ロックされた後も常に次のパルスに対するオフセット量を修正し続ける。

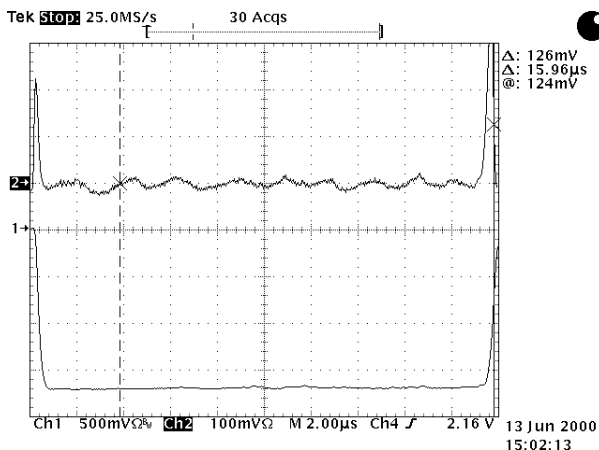


図 3. 位相オフセット回路の効果。これにより RF パルスの先頭から位相のロックがかかる。パルス幅約 20µs のときの位相検出波形（上）と RF アンブ出力電力波形（下）。

位相オフセット回路の効果を図 3 に示す。オフセット用カウンタの位相検出のタイミングは、RF パルス開始から 1µs 後に設定してある。DBM における位相検出信号の振幅は 1.3V である。

3.3 その他の変更

フィードバック動作を細かくすることを目標に、カウンタを 10MHz で動作するよう変更した。検討の段階では 20MHz まで速くする予定であったが、TTL のパルス応答の遅延時間を考慮して 10MHz とした。

動作を 10MHz にしたことに伴い、12bit カウンタの使用ビット数を上位 11bit から 12bit 全てを使うよう変更した。この結果 1 サイクルでの位相調整は 0.18° から 0.09° になった。しかし位相修正速度は 0.88°/µs で以前と変わらない。

回路の電源にスイッチング・レギュレータを使用しているため、図 2 のようにノイズの混入による余計な位相変動を生じていることが問題だったが、電源ラインにフェライトコアを取りつけることで改善された。

4. 新たな課題

図 2 と図 3 の位相検出波形を比較すると、以前の回路ではノイズを除けば ±0.3° 以内に安定化されていたのが、動作上の問題は改善されたにもかかわらず、位相安定度は ±0.6°~0.7° 程度まで悪化している。

図 4 に位相検出信号の拡大された詳細波形と、位相検出後のコンパレータ出力である、カウンタの増減を選択する信号を示す。

位相検出信号が鋸歯状波となっているのは、フィードバック用カウンタの増減の方向が切り替わることで位相の進み遅れを制御していることによる。

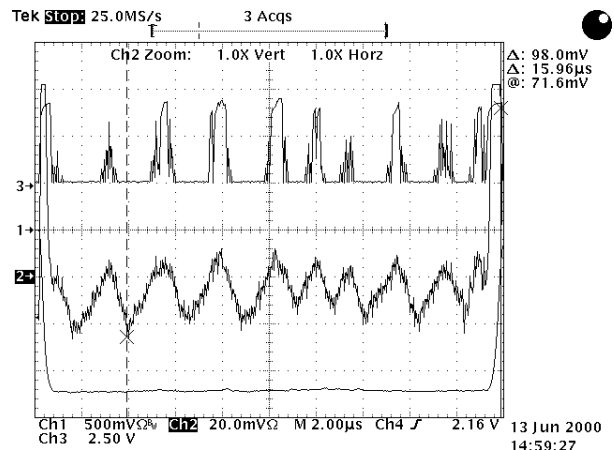


図 4. フィードバック動作時の位相検出波形の詳細（中）。位相スケールはほぼ 0.88°/div。上はフィードバック用カウンタのカウンタ増減のためのコンパレータ出力波形。

図から、コンパレータ出力の H、L が切り替わってから 300~400ns 遅れて位相の変化する方向が切り替わっていることが分かり、これが原因で位相制御の振動が大きくなっているのは明らかである。この回路では 100ns の繰り返しで情報を伝達して制御しているので、見かけ上 3~4 ステップ遅れてカウンタの増減が切り替わっているように見える。

この遅れは、DBM の制御信号応答速度とともにカウンタの動作を確実にする改良を行ったことにも原因がある。1 ステップ遅れると約 0.09° 位相を過剰補正するため、4 ステップ遅れると全幅では 0.7° もの安定度悪化を招くことになる。従って、位相安定度をさらに向上させるには、この遅れを最短にする工夫が不可欠である。

5. まとめ

日大 FEL 用リニアックの RF 位相安定化については、日本高周波製の高速移相減衰器に関数発生器で生成した位相補償信号を入力することで安定化を図るテストも行っており、短時間では本報告と同程度の安定度が得られビーム加速の改善に効果を発揮している[2]。位相変動が時間とともに変化するために問題もあるが、本報告で述べたフィードバックによる位相制御法との組み合わせを工夫することで、より高精度の位相安定化システムの構築を図ることが今後の検討課題と考えられる。

参考文献

- [1] T.Tanaka et al., "Low Power RF Phase Stabilizer for LEBRA 125MeV Linac". Proceedings of the 24th Linear Accelerator Meeting in Japan (1999)110.
- [2] K.Yokoyama et al., "RF Phase Drift Compensation with a Function Generator". Proceedings of the 25th Linear Accelerator Meeting in Japan, Himeji, July 21-14, 2000.